

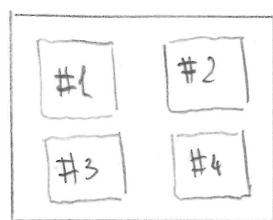
Progetto di circuiti integrati analogici

Teoria

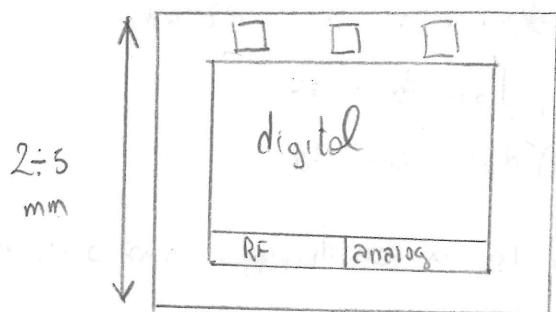
Un sistema elettronico di solito è qualcosa di questo tipo:

Pad: piazzole + circuiti che pilotano ciò che sta sul silicio. SoC: System on Chip.

Alternativa SiP: System in Package: tanti "die"



collegati mediante dei bond.

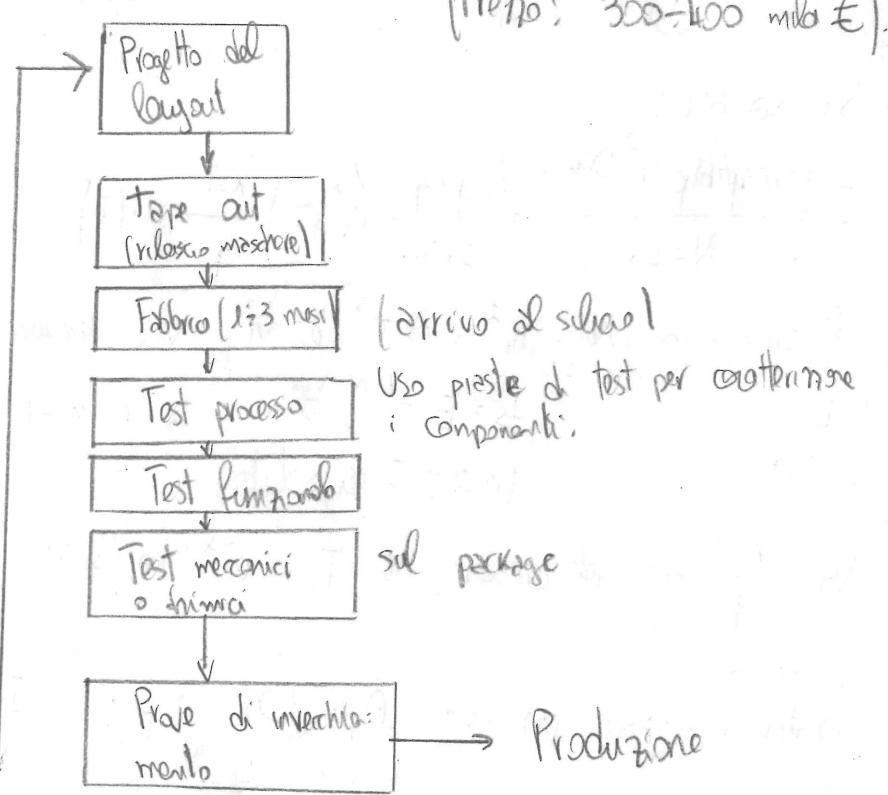
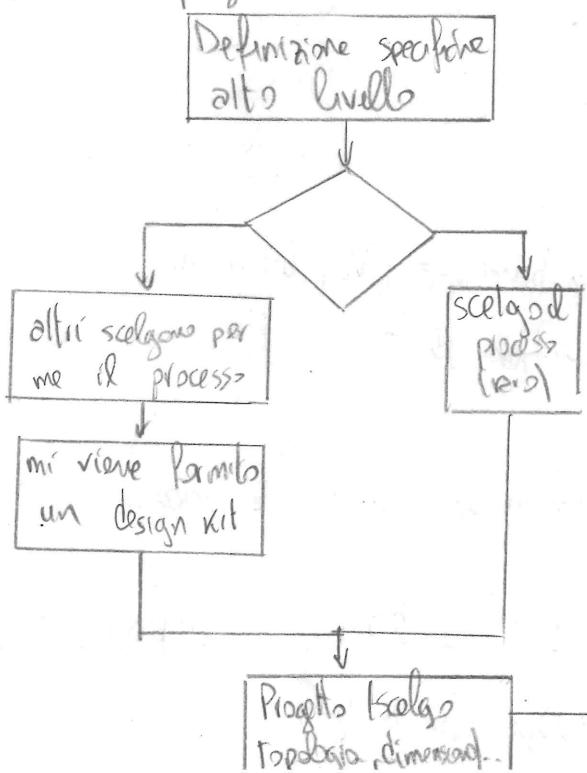


Processi: oggi si usa il 90nm, in sviluppo il (27-14) nm. Si usa CMOS perché è il digitale che prende nei chip. Il costo è qualche dollaro, di cui il 40% è l'incapsulamento: non quello che si mette dentro.

Noi useremo come riferimento un processo a 350 nm.

Nota: tra le specifiche, potrebbe per esempio esserci la "dinamica di ingresso"; ossia può condizionare il processo, per esempio l'ossido può rompersi per tensioni elevate; ci sono opzioni particolari che permettono di aver uscite a tensioni più elevate. Il default per il 350 nm è 3.3V, ma con le opzioni ci può per esempio aver 5V.

Passi di progetto



Introduzione ai processi CMOS

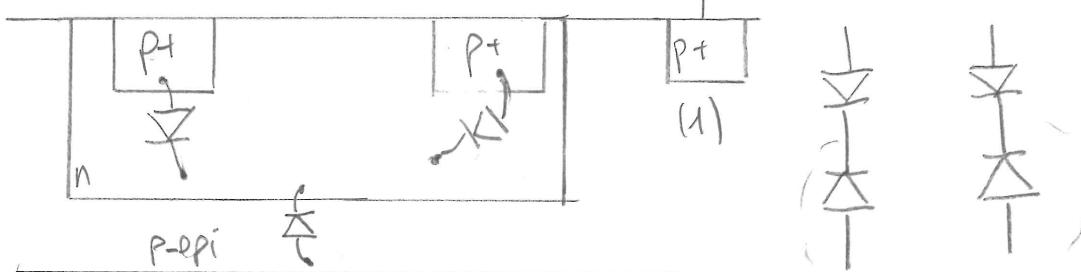
I dispositivi di solito si realizzano con isolamento a gianzone.

- (1) diodo desiderato
- (2) diodo parassita

Le regioni con drappeggio sono o impiantate o diffuse.

Vedendo mettere più diodi, ho: (taglio orto coi vari strati)

Il circuito risultante è:



Il rischio è quello di avere effetto

transistor. (1) è la situazione: impiantare sbarca p+, al potenziale più basso, in modo da polarizzare inversamente le giunzioni parassite. Questo è l'isolamento a gianzone. Tuttavia, c'è del leakage infatti,

$$I_D = I_S \left(e^{\frac{V_D}{V_T}} - 1 \right) \approx I_D \approx -I_S.$$

Essendo tanti diodi parassiti, il leakage può diventare importante.

Si sa che:

$$I_S = \frac{q A_j n_i^2 D_n}{N_A L_n} = \frac{q A_j}{L_n N_A} n_i^2(T) \frac{k_B T}{q} \mu_n(T)$$

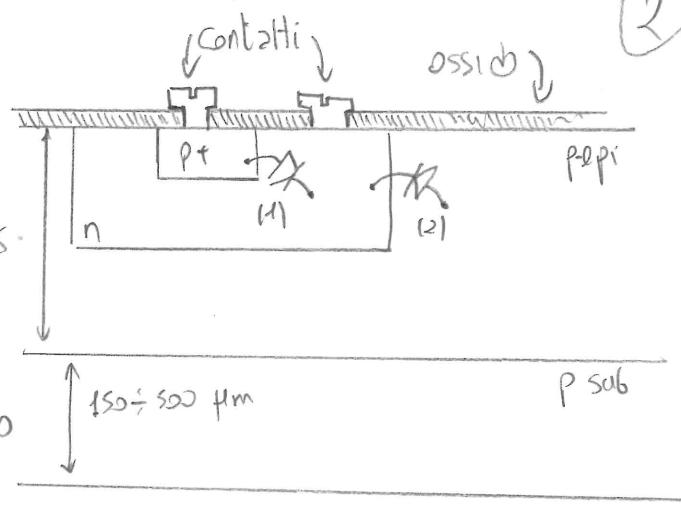
Ricordando che $n_i^2 = D T^3 e^{-\frac{V_{GO}}{kT}}$, V_{GO} tensione di band-gap, (V_{GO} built in).

D.E
costanti. $I_S = E T^{\frac{L_n}{n}} e^{\frac{V_{GO}}{kT}}$, I_S è molto funzione di T .
($n \approx 1,5$ di solito).

$V_T = \frac{k_B T}{q} \Rightarrow$ al crescere di T , e^{-x} ha x che diminuisce, quindi I cresce.

Esempio

Data giunzione pn con $A_j = 10 \times 10 \mu m^2$, $I_S = 1 \mu A$ @ $27^\circ C$; $22 \mu A$ @ $200^\circ C$; $100 \mu A$ @ $120^\circ C$;

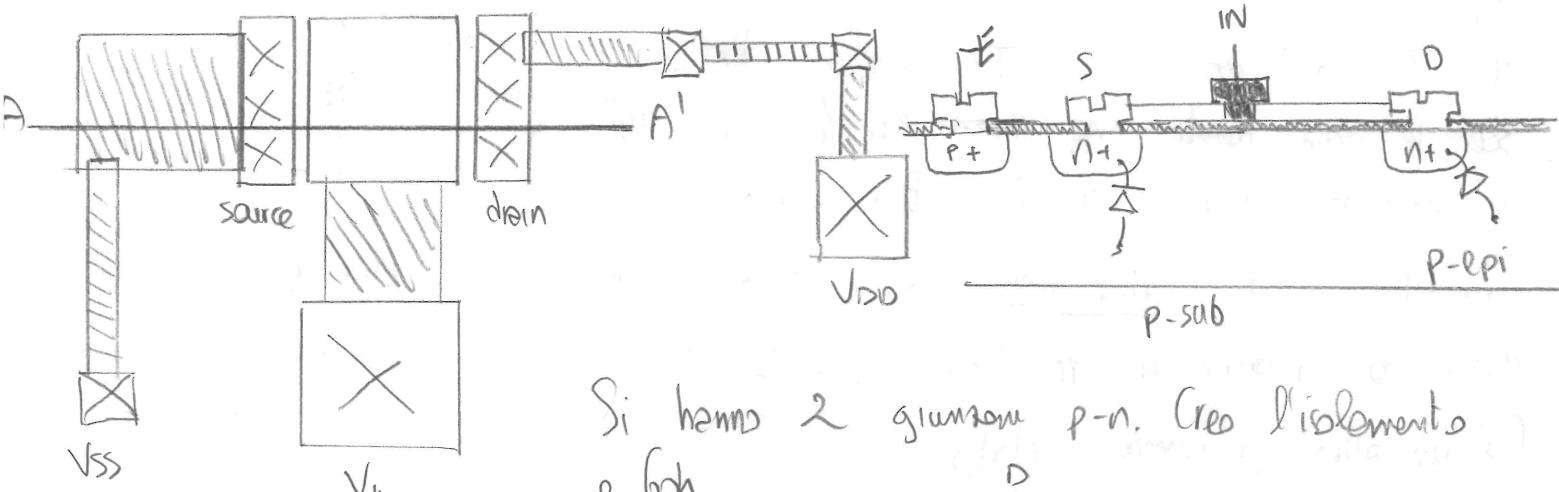
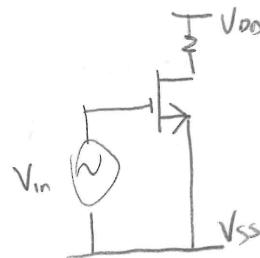


2

3

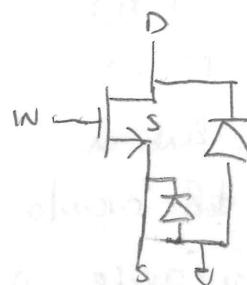
Consideriamo il layout di un circuito di questo tipo:

Considero la sezione AA'.



Si hanno 2 giunzioni p-n. Creo l'isolamento e basta.

Il circuito risultante è:



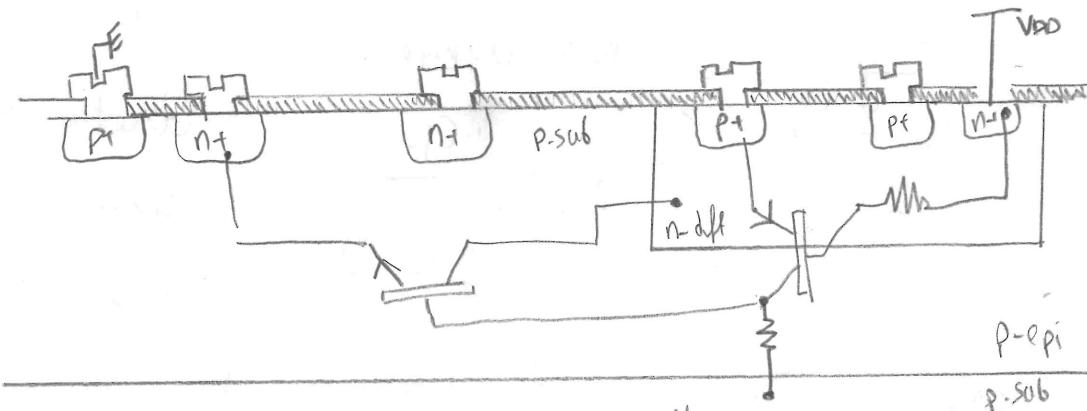
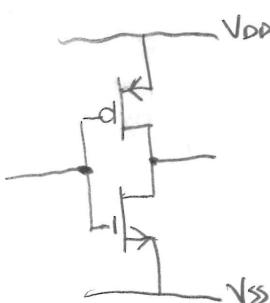
Dunque, valgono i discorsi di prima: a seconda della T, posso avere pA o mA.

E il transistor porta dei mA!

Alternativa è Sol: Silicon on Insulator. Funziona, ma costa.

I substrati, come visto, sono spessi $150 \pm 50 \mu\text{m}$; questo si fa per robustezza meccanica. Il substrato si deve infatti incollare, e su uno slug metallico; ciò, per cause termiche, in deformazione anche molto. La temperatura è critica per più motivi.

Si considera ora l'integrazione di un inverter CMOS:



In questo caso oltre ai veri diodi, si ha qualcosa di molto peggiore: dei Transistori parassiti! BJT parassiti! Per esempio, c'è un npn e un pnp!

Un banale inverter CMOS ha già un sacco di giunzioni, anche con le sardine di isolamento p+ (la solita) e n+ (per la diffusione n in cui si coltiva il pmos). (4)

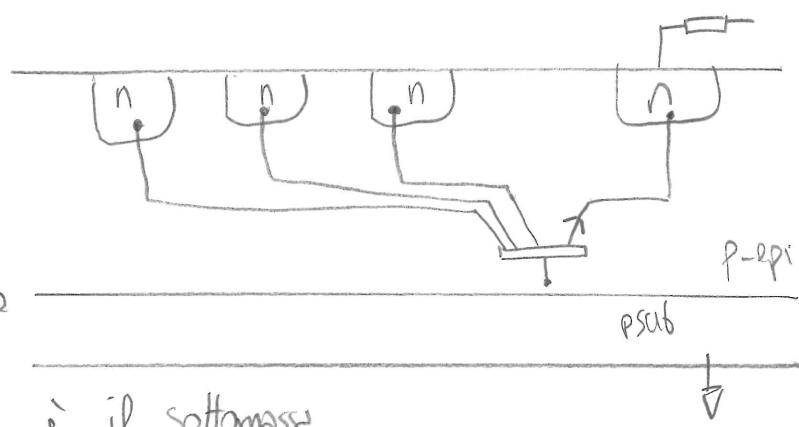
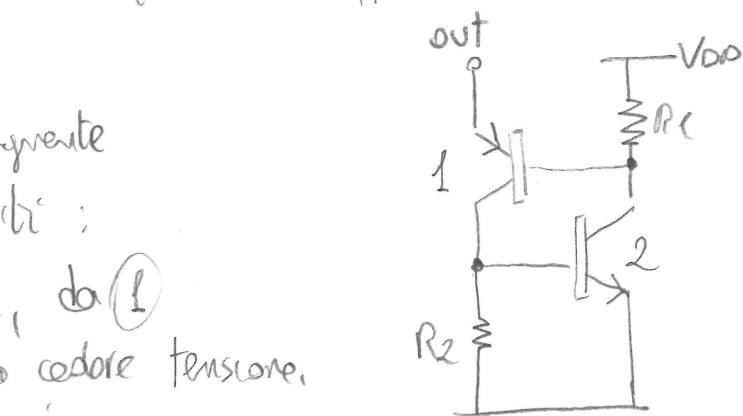
Si può costruire a occhio il seguente equivalente circuito per i parassiti:

Se l'alimentazione va sotto l'usata, da (1) scende una corrente che va su R₁, fa cadere tensione, e polarizza la base di (2). E così via.

Questo è il latch-up. La "soluzione" è ciò è disegnare molto, in modo da ridurre le resistenze R₁ e R₂ e così le cadute di tensione.

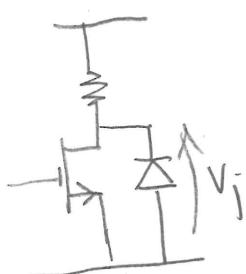
C'è un altro problema: dato p-sub, esso va collegato al potenziale più basso, al fine di isolare le varie parti del circuito.

Il rischio è quello di avere n sardine, che, se collegate a un potenziale più basso del substrato, creano un BJT con l'emettitore e n collettori; questo è il sottomasse.



Tutti questi sono problemi che possono nascondere dell'isolamento a giunzione, che può deteriorare le prestazioni del circuito.

In un circuito del tipo:



si ha questo "diodo", che introduce una capacità non lineare:

$$C_j = \frac{C_{jo}}{\sqrt[m]{1 + \frac{V_j}{\phi_0}}}$$

Questa capacità C_j è funzione della V_j su suoi capi.

Considerando un punto di lavoro, si può linearizzare questa capacità; l'idea migliore però, volendo "tanta dinamica", è quella di usare delle "capacità effette" o "equivarianti".

$$C_{j\text{eff}} = \frac{Q(V_2) - Q(V_1)}{V_{j2} - V_{j1}}$$

oppure, $C_{j\text{eff}} = \frac{C_j}{2}$

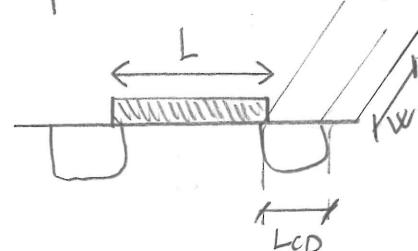
(5)

C_j = parametro di processo (capacità per unità di area).

Le capacità "finali" dipendono da L (lunghezza del transistor), da L_{CO} (ampiezza delle diffusioni), e da W :

$$C_{DB} = A_D \frac{C_j}{2} = L_{CO} W \frac{C_j}{2}$$

↓
area di drain

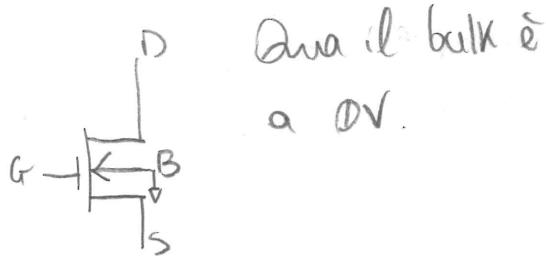


Per eliminare questo problema, la soluzione è usare SOI: isolamento a ossido (SiO2 per il silicio). Gli spessori (trench) sono decisi dal processo. Lo strato "sotto" è qualche μm.

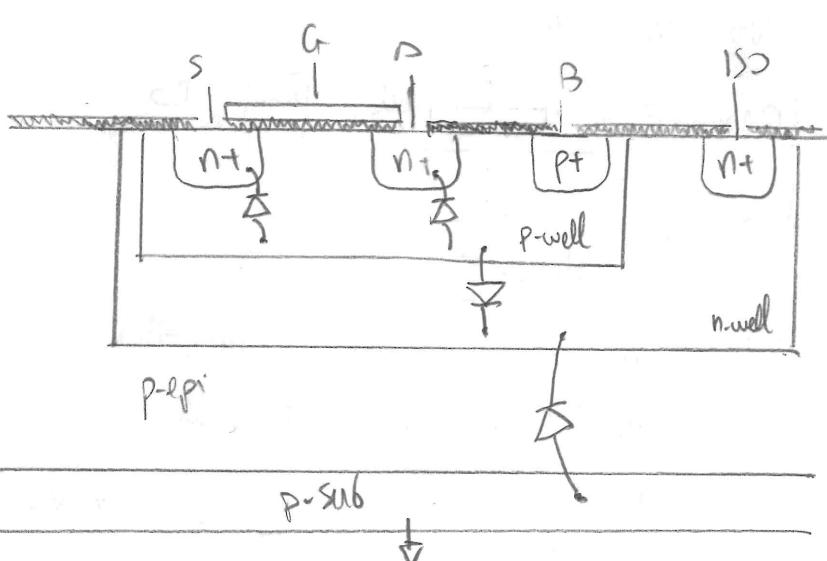
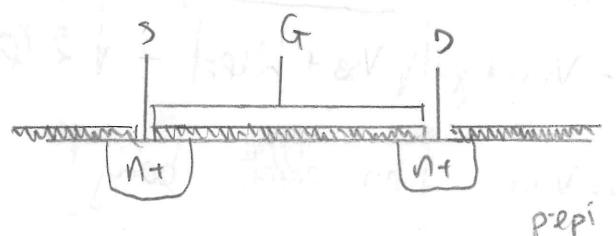
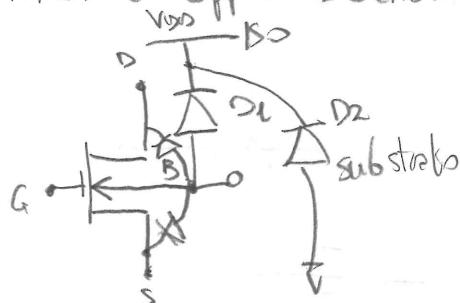
Un inverter cross non ha per esempio bisogno dello stesso spessore di isolamento; si hanno le p-well per il nMOS, n-well per il pMOS, ma l'ossido (deep trench) isola i 2 dispositivi tra loro.

Richiami sul MOS - dispositivi isolati a giantzona.

nMOS (isolamento non esplicitato)

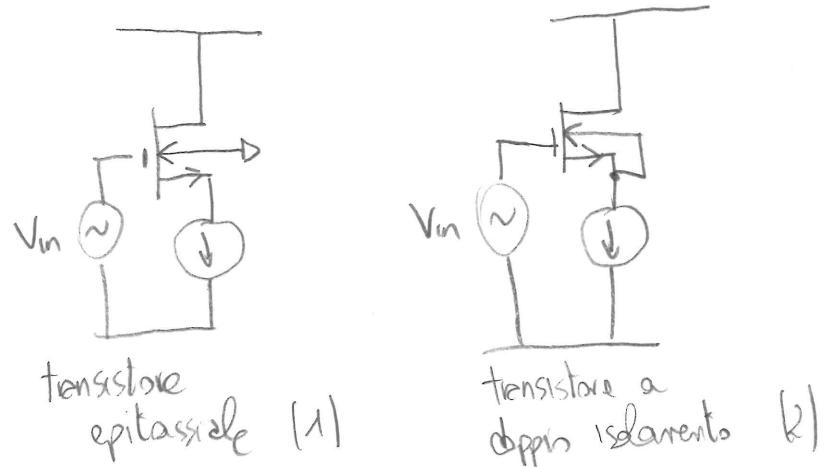


nMOS a doppio isolamento



Il terminale di body, B_1 , deve avere V_B minore di V_S e V_D . Collegando G_1 ISO a V_{DD} , D_1 e D_2 sono automaticamente in pol. inversa. Infine, se metto un corto tra B e S , l'isolamento è totale: il source avrà tensione bassa, V_D sarà alta, quindi tutti i diodi saranno polarizzati inversamente.

Si consideri il seguente circuito:



Nei 2 casi, il bulk va messo o a massa o al source.

Ciò che cambia nei 2 casi è la V_{TH} , la tensione di soglia del transistore:

$$I_D = \mu n \frac{C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{TH})^2$$

dove, nei due casi:

$$\begin{cases} 1) V_{TH} = V_{TH0} + \gamma \left(\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F} \right) & [\text{c'è effetto body}] \\ 2) V_{TH} = V_{TH0} & [\text{no effetto body}] \end{cases}$$

→ ciò cambia la tensione di source:

$$V_{S1} = V_{in} - V_{GSI} \quad \text{dove } V_{GSI} = V_{TH} + V_{ov}$$

$$V_{S2} = V_{in} - V_{GS2}$$

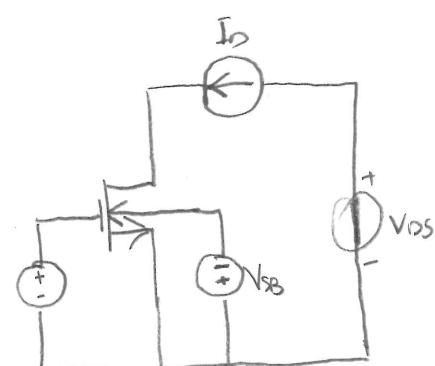
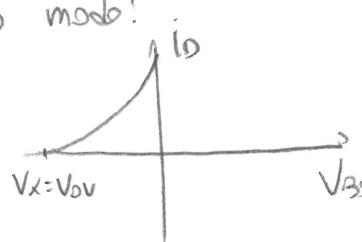
Considerandola variabile, V_{ov} , ho:

$$\rightarrow V_{ov} = \sqrt{\frac{2 I_D}{\mu n C_{ox} \frac{W}{L}}}$$

Ciò si può vedere anche in un altro modo:

V_{ov} è quella tensione V_{BS} per cui la I_D va a 0. Questo è quando

l'aumento di tensione è pari a V_{ov} .



Cio' vale se siamo in saturazione; per

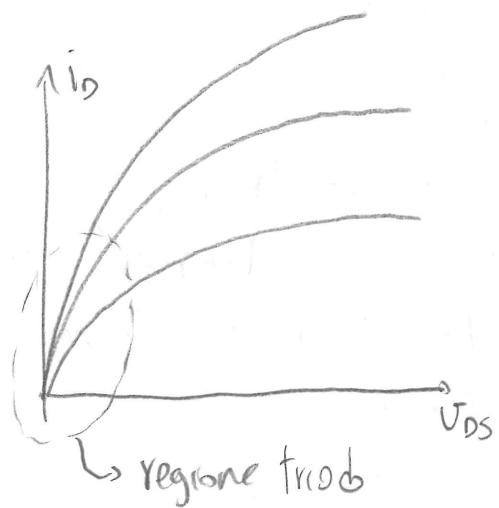
$$\begin{cases} V_{GS} > V_{TH} \\ V_{DS} > V_{DD} \end{cases}$$

→ condizione di saturazione

altrimenti,

$$\begin{cases} V_{GS} > V_{TH} \\ V_{DS} \leq V_{DD} \end{cases}$$

→ condizione "triodo".

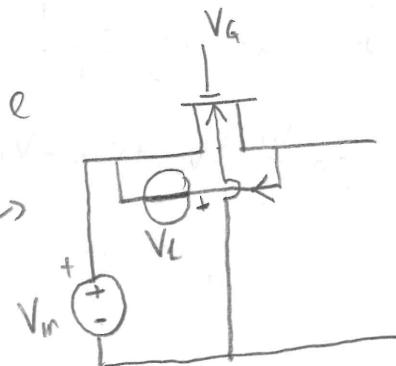
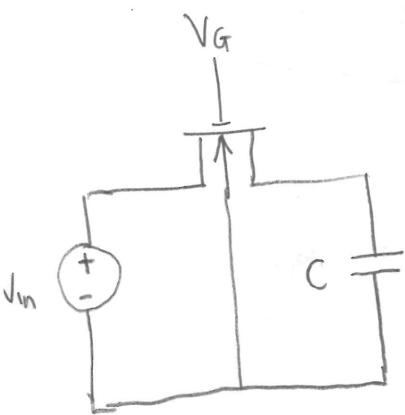


Nel caso della regione triodo,

$$i_D = B_n \frac{W}{L} \left(2V_{DD}V_{DS} - V_{DS}^2 \right)$$

Al fine di comprendere ciò, si analizzi il seguente "campionatore elementare":

V_G è fissata alla tensione di alimentazione; V_{in} è la tensione "da campionare"; C , l'elemento con memoria. $0 \leq V_{in} \leq V_{DD}$. Essendovi una tensione tra drain e source, si ha una V_L , così:



Ora:

- se $V_L > 0$, il transistore ha il drain "a destra"; se $V_{in} = 0$, cadranno 3,3 V sul gate-source ($V_{GS} = 3,3$ V), quindi V_L fa "muovere la corrente" nel transistor;
- se $V_L \leq 0$, source e drain si scambiano; si ha che V_{GS} determina lo stato del dispositivo;

$$V_{GS} = V_G - V_S ; \quad V_S = V_{in} - V_L ; \quad \sim V_{GS} = V_G - (V_{in} - V_L) > V_{TH} \quad \left\{ \begin{array}{l} \text{essendo} \\ 0 \leq V_{in} \leq V_{DD}, \quad V_G = V_{DD} \end{array} \right.$$

E V_{DS} ? Verifichiamo se è valida $V_{DS} > V_{DD}$:

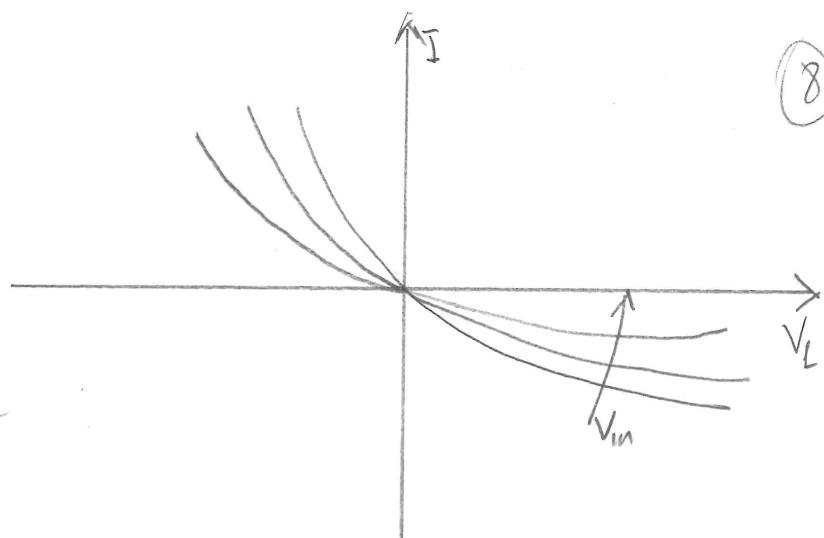
$$\hookrightarrow V_{DS} = V_L ; \quad V_{DS} = V_{GS} - V_{TH} = V_G - V_{in} + V_L - V_{TH} \leq V_L ?$$

$$\hookrightarrow V_G - V_{in} - V_{TH} \leq 0$$

di solito non è verificata: zona triodo.

Si ha una caratteristica di questo tipo:

- a sinistra, "triodo";
- a destra, "saturation"; parametra V_{in} , che modula l'ampiezza della corrente.

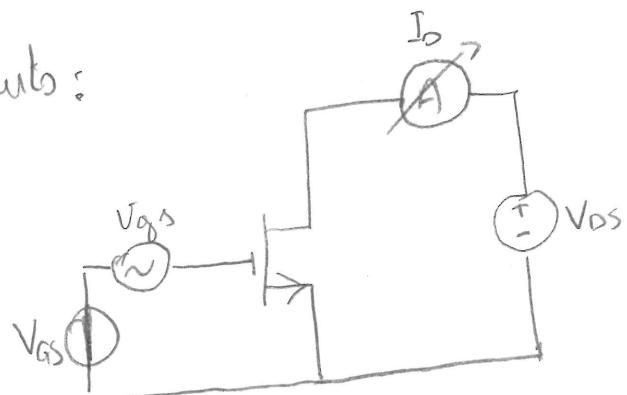


Weak inversion,

Si supponga di avere il seguente circuito:

Se $\begin{cases} V_{DS} > V_{DS} \\ V_{GS} > V_{TH} \end{cases}$ (saturation)

$$I_D = \beta n \frac{W}{L} (V_{GS} - V_{TH})^2$$



Se aggiungo un V_{GS}' componente di segnale,

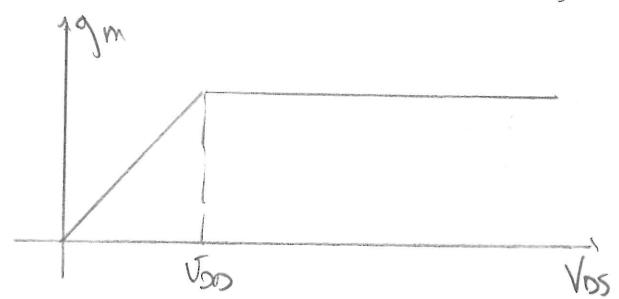
$$I_D = \beta n \frac{W}{L} \left(V_{GS} + V_{GS}' - V_{TH} \right)^2 = \beta n \frac{W}{L} \left[(V_{GS} - V_{TH})^2 + 2(V_{GS} - V_{TH})V_{GS}' + V_{GS}'^2 \right]$$

Trascurando $V_{GS}'^2$ (linearizzazione / modello di piccolo segnale),

$$I_D \approx I_D + 2\beta n \frac{W}{L} V_{DS} V_{GS}' \quad \text{dove, in altro modo,}$$

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \Big|_{V_{DS} = \text{costante}} = \frac{2 I_D}{V_{DS}}$$

Ora, se riportassimo su un grafico $g_m(V_{DS})$, si arrivedrebbe così.



Per aumentare g_m , $\frac{2 I_D}{V_{DS}}$ deve crescere, ma dunque V_{DS} deve esser piccolo: $V_{DS} \approx V_{TH}$.

Ciò aumenta g_m , ma fa crescere le dimensioni, aumentare i parasiti, ridurre la banda.

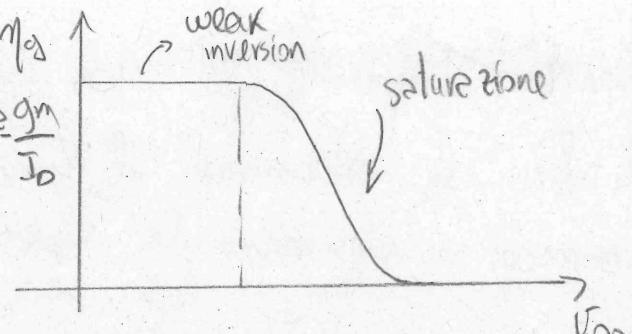
L'idea è usare la "weak inversion": se il drain è a tensione silenziosa,

$$I_D = \frac{W}{L} I_{D0} e^{\frac{V_{GS}}{V_T}}$$

dove I_{D0} è un parametro del modello.

Se i_D ha questa caratteristica,

$$g_m = \frac{\partial i_D}{\partial v_{DS}} = \frac{1}{L} I_{DS} \frac{1}{\eta V_T} e^{\frac{V_{DS}}{V_T}} = \frac{I_D}{\eta V_T} \quad \eta \approx \frac{g_m}{I_D}$$



In questa maniera si ha così:

ηg_m : "efficienza di transcondutzione";

Idea: prendere un transistor, grosso, e mettervi una densità di carica molto bassa; la corrente totale è la stessa che avrei in un transistor piccolo che uscirei in saturazione. Essendo questa bassa densità, siamo in weak inversion, con comunque una corrente accettabile.

Il problema sostanziale è la banda, che è ridottissima.

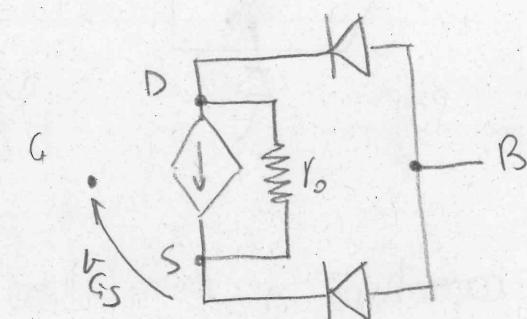
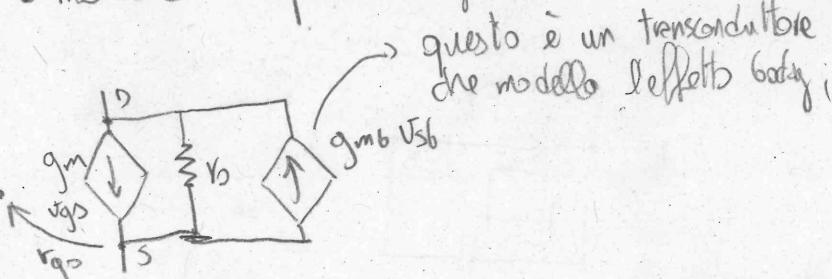
Modelli

I modelli con cui si avrà a che fare sono:

- modello di ampio segnale:

Questo modello semplificato è utile per discutere le dinamiche di ingresso e uscita. $i_D = B_n \frac{1}{L} (V_{DS} - V_{TH}(V_{GS}))$

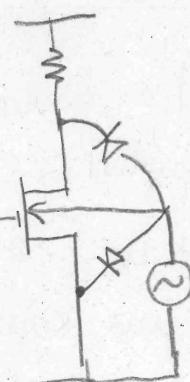
- modello di piccolo segnale:



[Si noti che nel modello di ampio segnale il transconduttore di body è "impiantato" nella tensione di soglia]

Si ha, per la transconduttanza di body,

$$g_{mb} = \left. \frac{\partial i_D}{\partial V_{SB}} \right|_{V_{GS}=\text{costante}, V_{DS}=\text{costante}} = \frac{\partial i_D}{\partial V_{TH}} \frac{\partial V_{TH}}{\partial V_{SB}} = - \frac{g_m}{2\sqrt{V_{SB} + 2kT}}$$

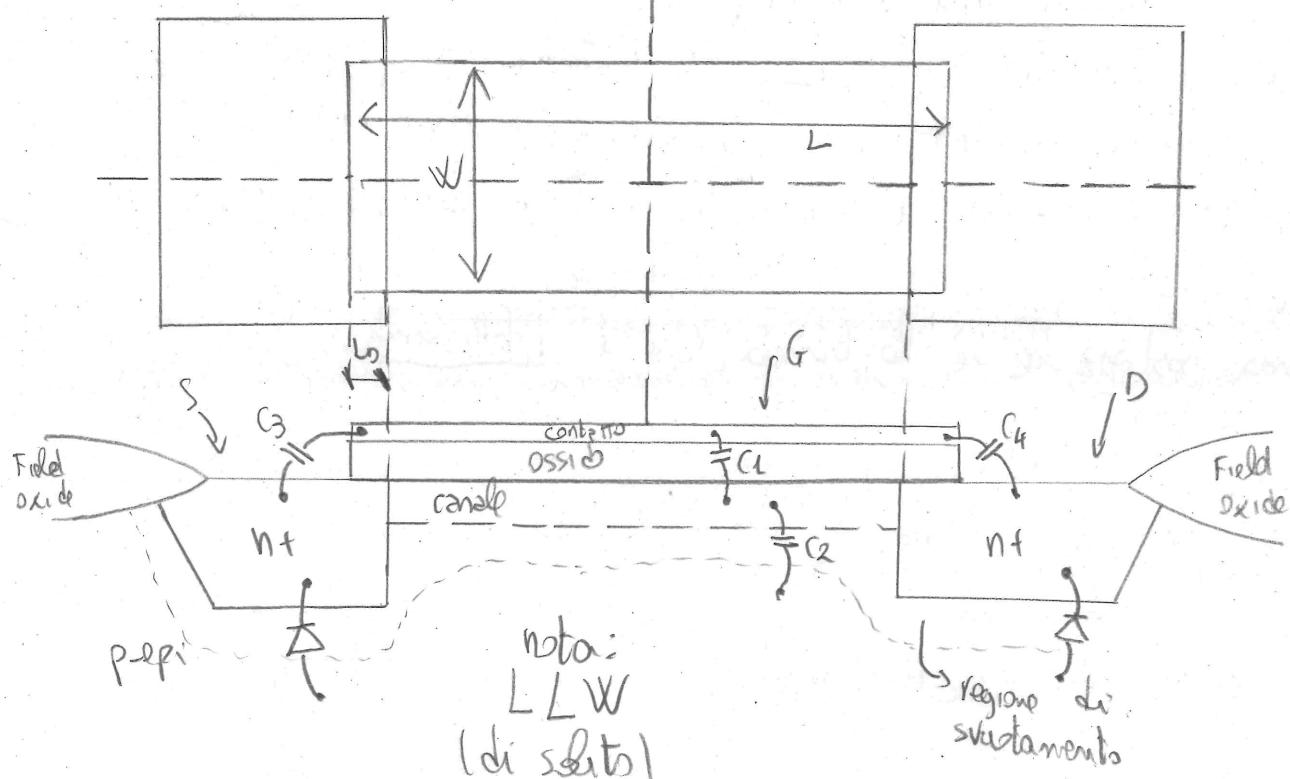


Ma quindi, ciò introduce la seguente possibilità:
eccitare dal body.

(perdendo però le giunzioni).

Proprietà dinamiche del Mos

Al fine di determinare il funzionamento di un MOSFET in regime dinamico, si considerino le seguenti sezioni:



Effetti capacativi si manifestano per tutte le regioni di sovrapposizione, di "overlap" (quindi, gate-source, gate-drain); poi, una per la regione svuotata, una tra gate e canale.

Un modello circuitale può essere:

dove:

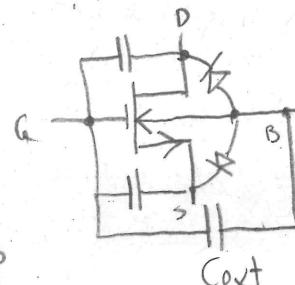
$$C_3 = C_{ox} W L_0 \\ = C_4$$

$$C_1 = W L C_{ox}$$

dove

L_0 : lunghezza di overlap
gate-drain o gate-source

C_{ox} : capacità specifica per unità di area.



$$C_2 = W L \frac{q_e n_{sub}}{2 \psi_b}$$

$$C_S - C_G = \frac{C_p}{1 - \frac{V_b}{q_b}}$$

Per altre capacità, non fisse, bisogna fare la discussione in funzione dello stato del dispositivo.

• Se il mos è OFF, C_1 domina perché il canale non esiste; si ha però una capacità che lega gate e bulk:

$$C_{AB} = C_{ox} W L = C_1 + C_{ext} \quad [\gg C_3, C_4]. \quad [C_1 \text{ è capacità tie gate }]$$

e Bulk!

- Se il MOS è in saturazione, si avrà il canale, ma strozzato. La C_{as} diminuisce (11) è una capacità gate-canale, ma dà anche la capacità tra gate e drain.
- Siamo interessati alla capacità dominante; cambia la capacità tra gate e substrato, la capacità tra gate e drain è predominata da quella di sovrapposizione. Come il canale si forma, la capacità tra gate e substrato si abbassa, e cresce quella tra gate e source. Nella OFF, predominava la C_{GB} . In Cas.

In saturazione,

$$C_{as} \approx C_3 + \frac{2}{3} C_{ox} W L$$

- In triodo, C_{GD} e C_{as} sono circa impalabili alla stessa misura.

$$C_{as} \approx C_{GD} \approx \frac{1}{2} C_{ox} W L$$

Quindi la capacità gate-bulk è significativa per transistore OFF, poi si abbina.

Ricavando:

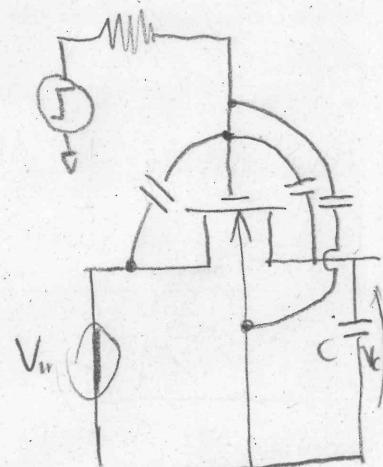
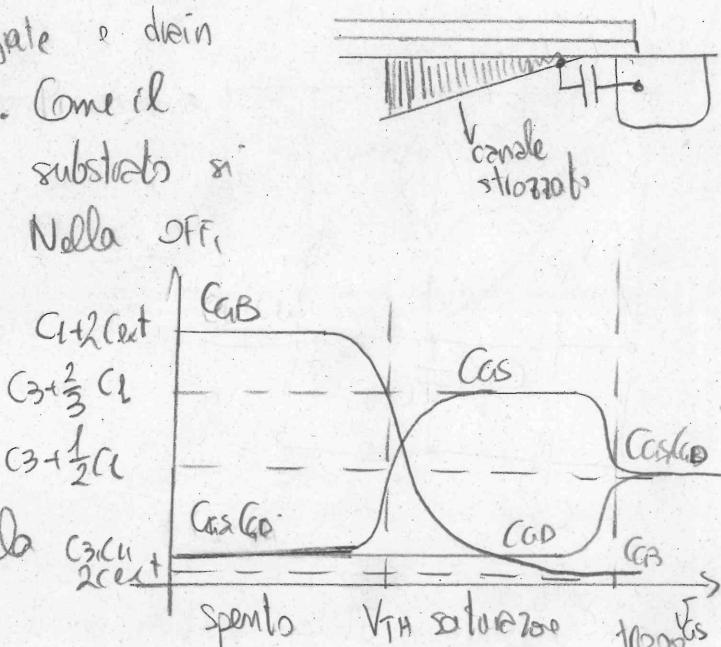
- OFF: no canale, $V_{GS} = 0 \Rightarrow$ prevale C_L
- SATURAZIONE: V_{GS} aumenta così C_{as} diventa impalabile, ma C_L muove perché il canale muore.
- TRIODO: C_{as} e C_{GD} circa uguali.

Il fatto che gli effetti capacativi varino di entità a seconda dello stato elettrico considerato, disturba il funzionamento dei circuiti. Si consideri per esempio il "componitore elementare": dati $V_G = 33 V$, a step; $V_C = 1,65 V$; $V_{IN} = 0 V$, per $t < t_0$, ciò a transistor spento, C_{GB} è la capacità dominante; per $t > t_0$, a sinistra c'è il source, a destra il drain, e $C_{as} \approx C_{GD}$.

Se si spegne a questo punto il transistor, le capacità che si sono caricate devono sottrarsi; ciò provoca uno scambio di carica non previsto. Tra i vari posti, questa carica va anche nel C "di memoria", intorbidendo l'informazione.

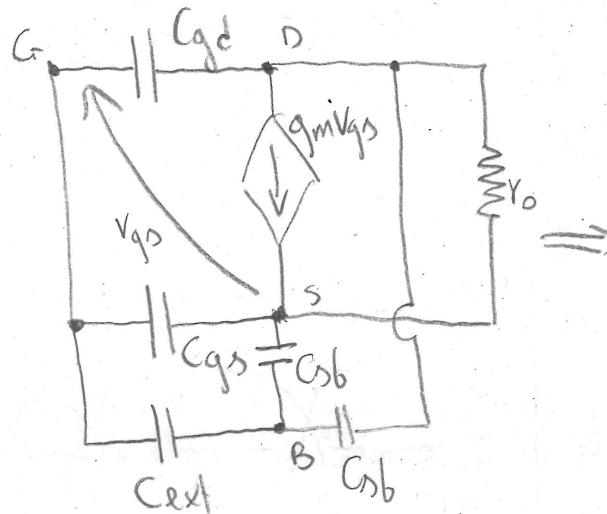
Charge injection.

[in ampio segnale, varia la matrice delle capacità: circuito tempo-variante]

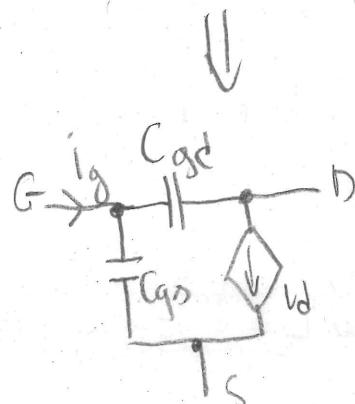


Nota: se uso un modello di piccolo segnale, automaticamente ipotizzo che il Mos rimanga sempre nello stesso stato.

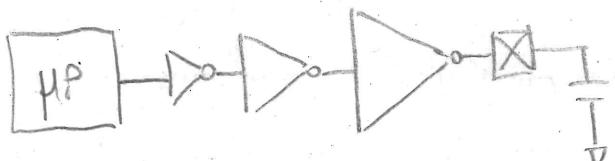
Di edito del mos si considerano solo C_{gs} , C_{gd} ; il modello di piccolo segnale è



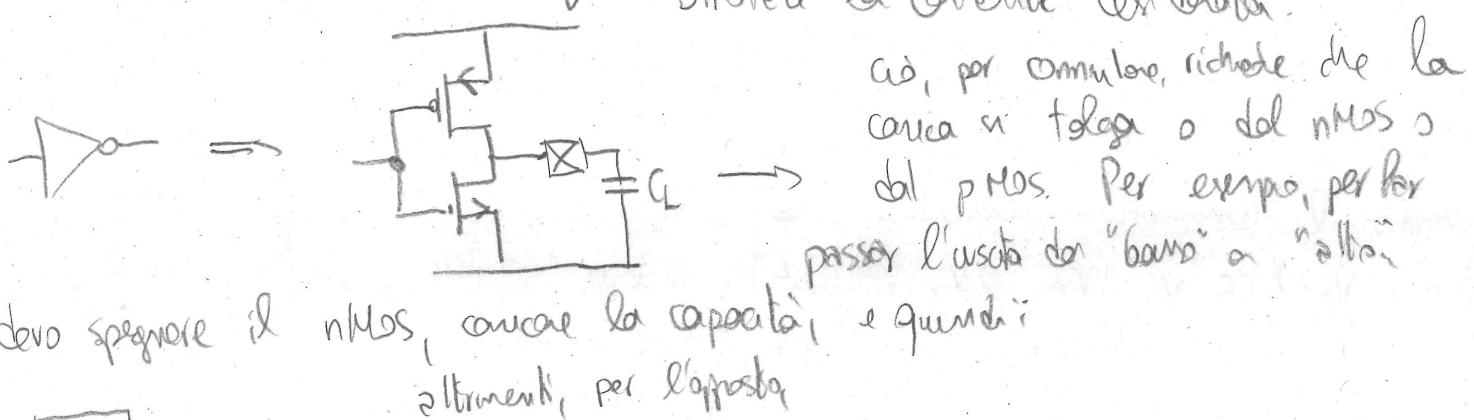
ridotto ai parametri più importanti,



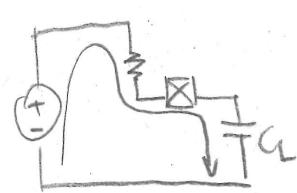
Ora: può esser utile identificare il guadagno in corrente: $\frac{I_d}{I_g}$. Questo è utile per esempio nell'ottica di fare dei driver a cross: dato un microprocessore che deve pilotare una capotola, l'idea è:



Usare n buffer (inverter per esempio) in cascata, di dimensioni decrescenti, fino a ottenere la corrente desiderata.



dovendo spegnere il nMOS, caricare la capacità, e quindi altrimenti, per l'opposto.



basso \rightarrow alto

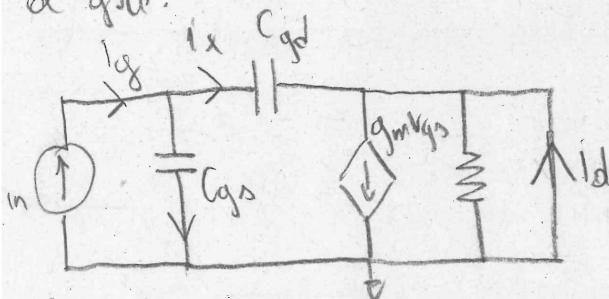


alto \rightarrow basso

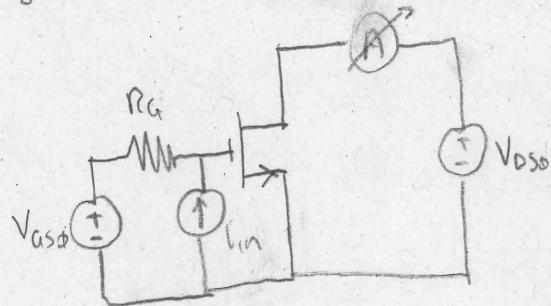
dovendo accendere il nMOS e spegnere il pMOS. La operazione è riscontrata.

Il transistore non si può fare enorme perché $Z = RC$ comanda i tempi di carica/scarica, e a transistori grandi corrispondono capacità grandi. Quindi, tanto maggiore è I_d/I_g , tanto minore è il numero di stack che si deve usare, quindi la capacità C_{sob} buffer (inverter), enorme sarebbe più veloce, ma consumerebbe molta corrente.

Si vuole ora quantificare questo guadagno in corrente. Del modello, si chiude su un cato il drain; si introduce un generatore di corrente nota al gate.



O, volendo fare sperimentalmente, in laboratorio, si usi questa configurazione:



Facciamo conti su ciò:

$$Id = g_m V_{gs} - i_x$$

$$\text{ma } i_x = V_{gs} / \gamma C_{gd} \quad [\text{infatti il cato mette in parallelo le capacità}]$$

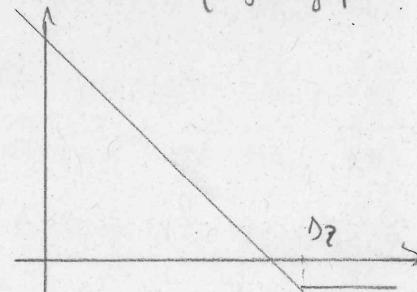
$$\hookrightarrow id = \frac{g_m - \gamma C_{gd}}{\gamma C_{gd}} V_{gs}$$

Ora bisogna legare i_g a V_{gs} ; ma:

$$i_g = i_x + i_{gs} = \gamma V_{gs} C_{gd} + \gamma V_{gs} C_{gs} = \gamma V_{gs} (C_{gd} + C_{gs}) \Rightarrow V_{gs} = \frac{i_g}{\gamma (C_{gd} + C_{gs})}$$

$$\hookrightarrow \frac{id}{i_g} = \frac{g_m - \gamma C_{gd}}{\gamma (C_{gd} + C_{gs})} \quad (1) \quad \left[\begin{array}{l} \text{l'zero a destra} \\ \text{e polo in 0} \end{array} \right]$$

$$\omega_2 = + \frac{g_m}{C_{gd}}$$



Ora, proviamo a semplificare (1); per $\omega \ll \omega_2$, $C_{gd} \gg C_{gs}$ recuperando le formule precedenti,

$$\frac{id}{i_g} \approx \frac{g_m}{\gamma C_{gs}} \approx \frac{\mu n C_{ox} \frac{V_{dd}}{R_{ds}}}{\gamma \frac{2}{3} C_{ox} V_L} \approx \frac{3}{2} \frac{\mu n V_{dd}}{\gamma L^2}$$

[per aumentare il guadagno in corrente i transistor devono essere corbi. Nei NOS corbi, in realtà, ω_2 è invece da $\frac{1}{C_{gs}}$]

Infine, per caratterizzazione il processo, non il circuito,

$$f_T \approx \frac{\mu n V_{dd}}{\frac{4}{3} L^2 \pi} \left[\frac{g_m}{\gamma C_{gs}} - 1 \right] \Rightarrow f_T = \frac{1}{2\pi} \frac{\mu n}{C_{gs}}, \text{ essendo } \gamma = \omega_2 = 2\pi f_T$$

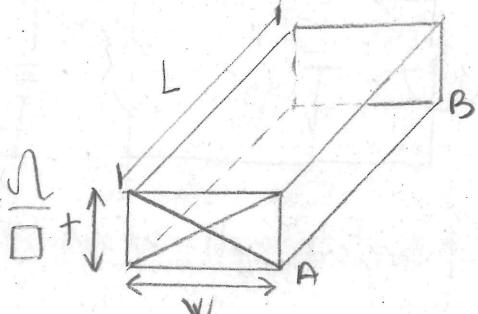
Componenti passivi

Resistori

Usando alcuni passi del processo CMOS, è possibile integrare resistori. L'idea è basata sulla legge di Ohm:

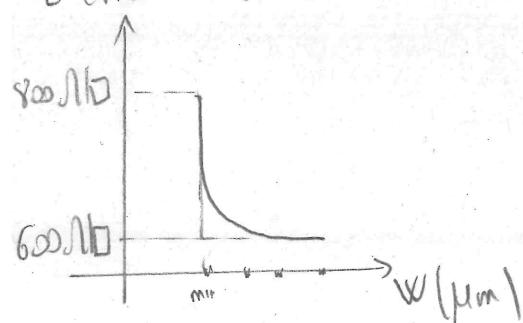
$$R_{AB} = \rho \frac{L}{S}, S = Wt$$

$$C_s = \frac{\rho}{t} \frac{L}{W}; \text{ definisco } R_s \triangleq \frac{\rho}{t}, \text{ Resistenza superficiale}$$



Quello che conta è il rapporto $\frac{L}{W}$, non L o W singoli.

L'andamento di R_s è:



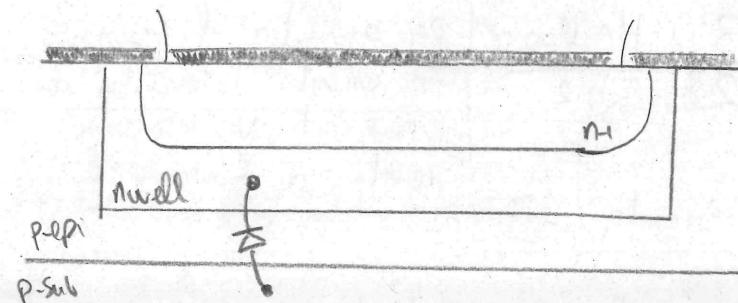
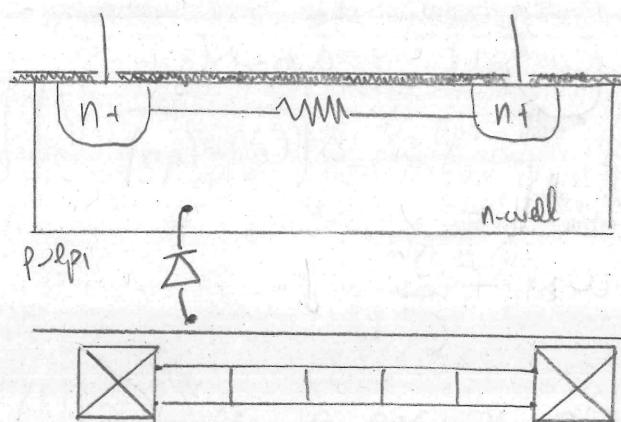
Se W è troppo piccolo, si han variazioni troppo forti di R_s per valori anche piccoli.

Resistori n-well

Un primo modo per integrare resistori è basato sul usare le proprietà resistive di un n-well:

a seconda del processo si han diverse resistenze superficiali: 100 MΩ, 500 MΩ, 1 kMΩ...

In pratica, $R_s \approx (L \div W) \times 10^6 \Omega$, per questo tipo di resistenze. Per resistenze più piccole,

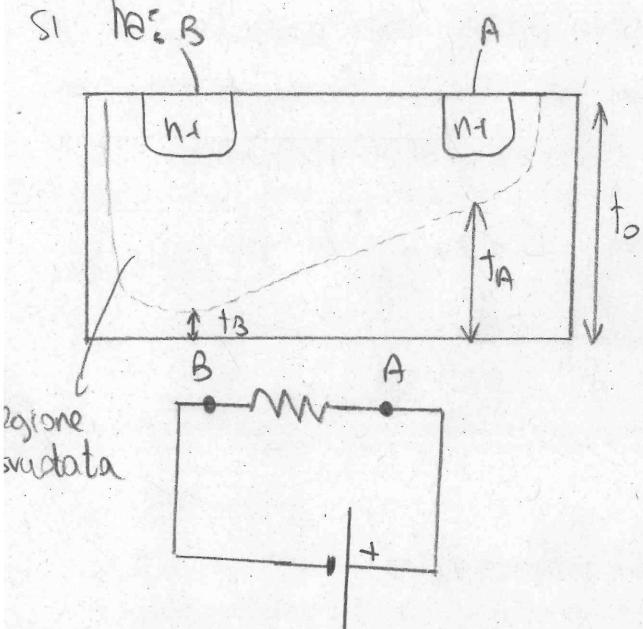


Qui, perché si usa il n+ per far da resistenza,

$$R_s \approx 10 \div 200 \Omega.$$

Il grosso problema di questi resistori diffusi è il fatto che son occupati capacivamente al substrato, frenante i due di passi.

Il problema è il fatto che, quando si va ad applicare un potenziale, si ha:



la regione sventata è più ampia per i punti a potenziale minore!

Quindi, $t_A \neq t_B$...

E il valore della resistenza dipende dalla tensione applicata sui suoi capi. Questa cosa è fastidiosa al punto da rendere indeterminabile anche solo il fattore di perturbazione: la resistenza è funzione della tensione.

Nel caso dei resistori n+, la regione di sventamento è più stretta, e questo problema è ridotto.

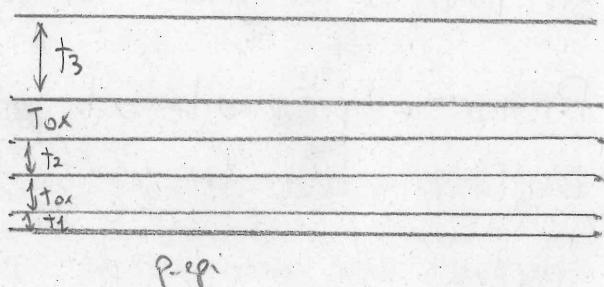
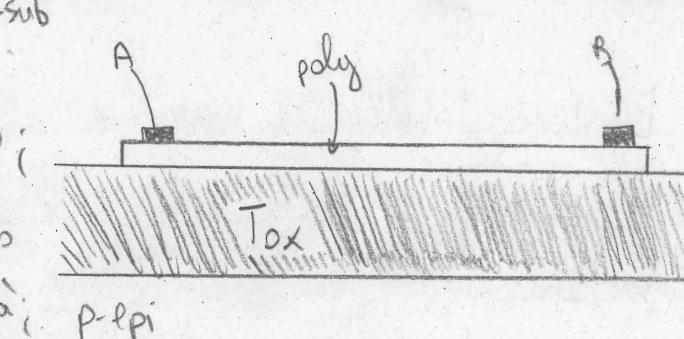
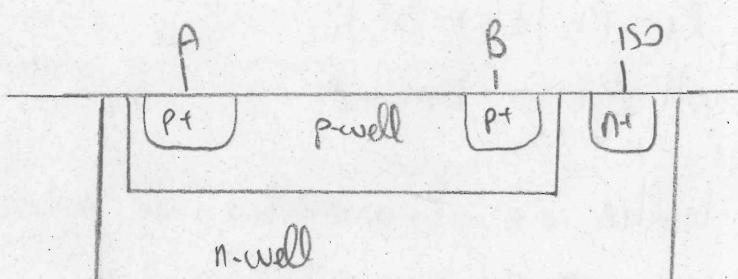
Alternativa è quella di introdurre un isolamento: ISD si collega al morsetto a potenziale più alto. Questo è caratteristico del NMOS a doppio isolamento senza gate.

Resistenza in polisilicio

Un'altra alternativa è l'uso di resistenze in polisilicio; nel processo 350 nm vi sono 2 tipi di polisilicio, poly1 e poly2, in cui cambia la Rs. L'isolamento è realizzato dall'ossido. poly1 è a bassa resistività; è quello che si usa nei gate dei mos (vedi los N/D); poly2 è $1\frac{1}{2} \text{ k}\Omega/\square$.

Resistenze metal

Normalmente ve ne sono almeno 3. La metall1 è la più sottile, quindi la più resistiva e così via a diminuire la resistività per metall2 e metall3. Gli strati layer sono divisi dagli altri da uno strato di ossido.



Cambia lo spessore quindi la R/D

Da qualche dm a qualche pm. Di solito sono in alluminio. (16)
 Le più sottili si usano per connessioni locali, dove passa poca corrente;
 si usano per interconnessioni minori di meno mm se non si facesse alterazione a
 ciò, si avrebbe una R_p parassita che cambia per esempio i riferimenti.
 Per metà L, $R_S \approx 100 \div 200 \Omega/\square$; $w = 0,5 \mu m$; $L \approx 2 mm$; la resistenza è
 divisa. Per questo si deve usare metà 2 o metà 3.

Tolleranze di fabbricazione

I componenti passivi sono affetti da tolleranze di fabbricazione:

$$\frac{\Delta R}{R} = \frac{R_i - R_n}{R_n} \quad R_i: \text{valore reale} \\ R_n: \text{valore nominale (desiderato)}$$

Altro parametro "bastidores" è la temperatura:

$$R_i = R_n (1 + K_T \Delta T);$$

$$\text{altra è la tensione: } K_V = \frac{R(V_1) - R(V_2)}{R(V_1)} \quad \text{oppure: } K_V = \frac{R(V_1) - R(V_2)}{V_1 - V_2}$$

Inoltre, c'è il parametro di matching:

$$M_T = \frac{R_i - R'_i}{\frac{R_i + R'_i}{2}} \quad \text{dove } R_i \text{ e } R'_i \text{ sono due resistori idealmente identici,} \\ \text{ma in pratica diversi a causa delle tolleranze.}$$

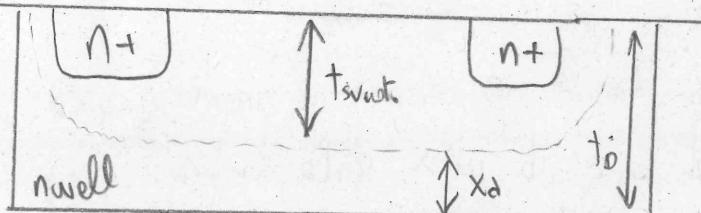
Esistono tabella che riportano questi parametri per n-well, n-t, poly - -

Il matching è fondamentale: il progetto di integrati è basato sul matching,
 su componenti "accoppiati", non su valori assoluti. Il progetto deve esser basato
 su rapporti di grandezze. Infatti, far valori identici è impossibile, ma invece
 si riesce a far valori "sbagliati allo stesso maniero".

Prima e precedentemente si parlava di K_V , di "dipendenza della
 resistenza dalla tensione". Questo è critico, per esempio già solo
 parlando di un bandale partitore di tensione. Supponendo di aver bisogno
 di resistenze del valore elevato, si immagini di usare degli n-well.

Nel caso degli n-well, il terminale ISO non è a dispersione; i body andranno tutti collegati a 0V. Si immagini di aver un peribolare a 128 resistori, per esempio per un ADC.

Il punto è che su R_{128} il bulk è a 0V, ma l'altro capo del "diode" (giunzione col substrato) a 2V; così via a scendere fino a $IV - DV$. Ciò cambia la regione di svolgimento, ergo la resistenza, a seconda della posizione nel peribolare. Dato t_0 lo spessore fisico, ti lo spessore effettivo,



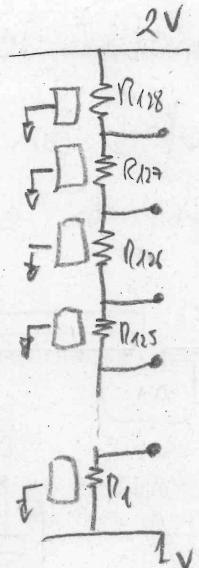
$$\frac{R_{128}}{R_L} = \frac{t_0}{t_{128}} = \frac{t_0 - x_d}{t_0 - x_{d,128}}$$

dove x_d è il valore dello spessore della regione di svolgimento:

$$x_d = \left[\frac{2 \epsilon_0 \epsilon_r}{N_D N_A} (V_R + \phi_0) \right]^{\frac{1}{2}}$$

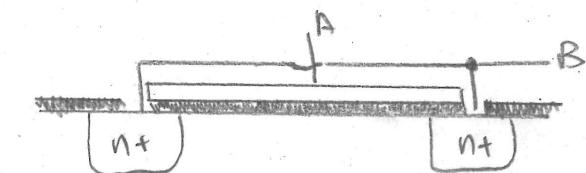
Alternativa è fare uso del doppio isolamento; in questo modo, il body può essere collegato alla "testa" (punto a potenziale più elevato) del resistore. Quindi, qui, "tutte sono sbagliate, ma allo stesso modo"! E il opporsi di partizione è buono.

Lo svantaggio di questa soluzione sta nel fatto che esse è più costosa: si deve mettere il n-well, e la sacca p-well che deve essere più larga del n-well, che a sua volta ha più larghezza del p-epi; aumentando il diagonale, la R_S si riduce. Quindi, la resistenza occupa più spazio. $R_S \approx 100-300 \Omega/\square$. Inoltre, oltre all'area della resistenza, c'è anche da mettere il isolamento. Alternativa è usare resistenze in polisilicio ed alta resistività.

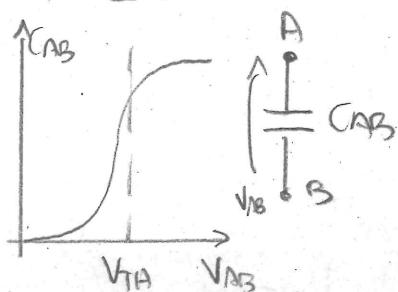


Condensatori integrati

Il metodo più semplice per integrare un condensatore è quello di usare le proprietà capacitive della struttura MOS:



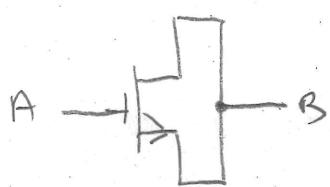
Cortocircuitando source e drain del MOS.



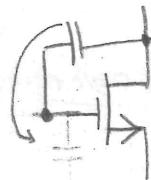
Questa è l'idea, ma le cose sono complicate: a seconda dello stato del dispositivo, le capacità sono diverse.

A seconda della tensione, la capacità tra A e B varia: è non lineare.

Il comportamento sarà capacitivo solo al di sopra di una certa soglia.



I terminali A e B non sono intercombinabili: il gate dove essere a potenziale più elevato!
Inoltre, il sistema introduce capacità che possono "andare a massa".



Il problema della capacità variabile con lo stato può essere aggredito facendo pre-parlare il condensatore, facendo qualcosa del tipo di questo tipo: in questo modo, la capacità di coude è sempre presente. Così, la "seconda armatura", la seconda "piastra", è sempre presente.

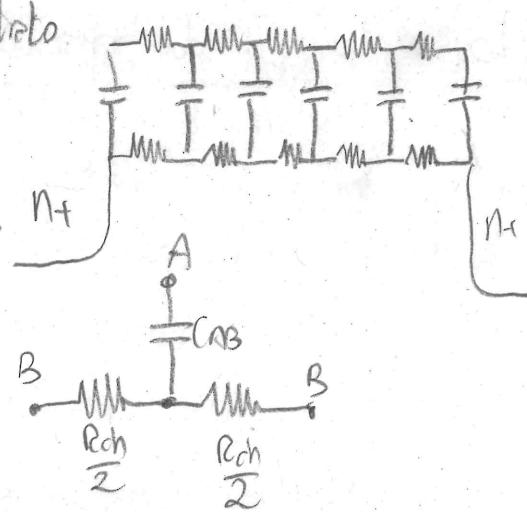
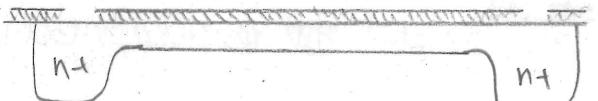
Persiste il problema della capacità parassita verso il substrato.

Esiste inoltre un altro problema: la resistenza parassita del condensatore stesso. Un modello più corretto del condensatore è infatti questo: (modello distribuito)

In molti casi, questo modello viene semplificato:

$$\text{Quindi, } Z = C_{AB} \frac{R_{ch}}{L}$$

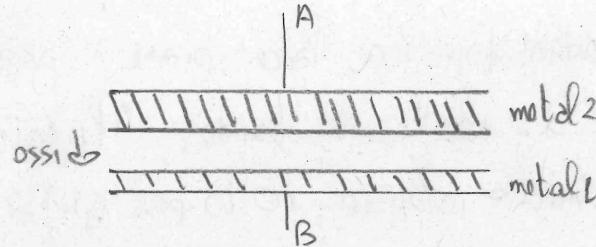
[Ciò a volte si trova nei parametri dei costruttori].



Condensatori metal-metal (o poly-poly)

Per esempio, n può fare:

(o la stessa cosa col poly).



Anche questi sono effetti dai paesaggi, per esempio la C_j verso il substrato, ma ci sono anche altre (che derivano per esempio dalla metallizzazione del poly sul gate).

Il matching tra condensatori della stessa specie è molto migliore di quello dei resistori: si parla di

$$M_T \approx 0,05\% \quad [\text{sebbene } \frac{\Delta C}{C} \approx 30\%, \text{ ma il matching è ottimo}]$$

Parametro importante è la "capacità specifica": C_{ox} .

$$C_{ox} \approx 2 \div 3 \text{ fF}/\mu\text{m}^2 \quad [\text{per il MOS}]$$

$$C_{ox} \approx 0,01 \div 0,02 \text{ fF}/\mu\text{m}^2 \quad [\text{condensatori metal1-metal2}]$$

Quindi, è suggerito usare transistori MOS a canale più formato.

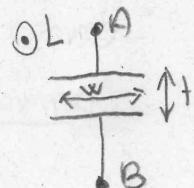
C

Matching di componenti integrati.

A

B

Dati due componenti A e B uguali tra loro, essi devono essere anche circondati dagli stessi elementi: non può essere un "c", che rompa la simmetria! Piuttosto, si mette un "o" a sinistra, ridondante, che la mantenga "servono anche gli stessi vicini di casa".



$$C_{AB} = \epsilon_0 \epsilon_r \frac{WL}{t}$$

Parliamo di condensatori:

C_{AB} ha 2 contributi: capacità di area e di perimetro:

$$C_{AB} = C_A + C_P$$

C_P ha molti elementi di indeterminazione, tra cui gli errori di allineamento delle maschere.

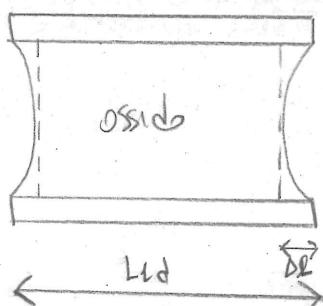
Nei condensatori a pance piene parallele, un problema può essere dunque legato a effetti di bordo, "fringing". La soluzione è fare la cornice inferiore molto più grossa di quella superiore.

$$\frac{1}{L_1}$$

- la capacità di area è quindi legata all'area;
- in una capacità di giunzione c'è anche quello di perimetro. Dato una scarpa, c'è la regione suotata, e la capacità dipende da area e perimetro.

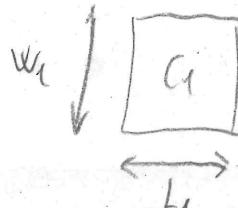
Di sicuro, non sarà possibile ottenerne i W_1 e L_1 nominativi.

Già porta ad "errori di costruzione". Nella realtà, si potrebbe ottenere qualcosa del tipo:



date L_{1d} e W_{1d} le dimensioni "desiderate",

$$\begin{cases} W_1 = W_{1d} - 2\delta l \\ L_1 = L_{1d} - 2\delta l \end{cases}$$



Dalla teoria precedente,

$$C_1 = C_0 \times (L_{1d} - 2\delta l)(W_{1d} - 2\delta l) \approx C_0 \times W_{1d} L_{1d} - 2\delta l (W_{1d} + L_{1d}) C_0 \xrightarrow{\text{errore sulla capacità}} \text{fasciando; termine di II° grado}$$

$$\frac{\Delta C_1}{C_1} = \frac{2\delta l (W_{1d} + L_{1d})}{W_{1d} L_{1d}} \rightsquigarrow \text{perimetro} \times \delta l \xrightarrow{\text{area}} \frac{P_1}{A_1} \delta l$$

In parlava di matching; volendo integrare due capacità, C_1 e C_2 , e supponendo di doverne studiare il rapporto, cosa si ha?

$$\frac{C_1}{C_2} = \frac{C_{0d} \left(1 + \frac{\delta C_1}{C_1} \right)}{C_{0d} \left(1 + \frac{\delta C_2}{C_2} \right)} = \frac{C_{0d} \left(1 + \frac{P_1}{A_1} \delta l \right)}{C_{0d} \left(1 + \frac{P_2}{A_2} \delta l \right)}$$

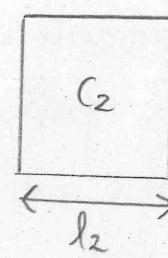
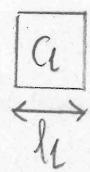
per avere $\frac{C_1}{C_2} = \frac{C_{1d}}{C_{2d}}$, i due condensatori devono avere $\frac{l}{A}$ stesso rapporto perimetro/area:

$$\frac{P_1}{A_1} = \frac{P_2}{A_2}$$

Questa per due condensatori uguali. Volendo mettere due condensatori C_1 e C_2 tali per cui $\frac{A_2}{A_1} = d$, si vuole un d molto piccolo

Se i condensatori sono quadrati,

$$\frac{P_1}{A_1} = \frac{4lk}{l_1^2} = \frac{4}{l_1} i$$



$$\frac{P_2}{A_2} = \frac{4lk_2}{l_2^2}, \quad A_2 = dA_1 \Rightarrow \frac{4lk_2}{\sqrt{d}l_1^2} = \frac{4}{\sqrt{d}} \frac{l_2}{l_1}$$

Il criterio è il "matching unitario": redimensionare C_2 come replica di tanti C_1 in parallelo. In questo modo, $\frac{P_1}{A_1} = \frac{P_2}{A_2}$.

La stessa cosa si fa anche sui transistori MOS.

Si consideri a tal fine, per esempio, uno specchio di corrente:

$$\frac{I_2}{I_1} = K, \quad \text{dove } K \text{ è un intero} > 1 \quad (K=10 \text{ per esempio}).$$

In prima approssimazione,

$$K = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \quad \text{dove però} \quad \frac{W}{L} = \frac{W_d}{L_d} \frac{1 - \frac{2sl}{W_d}}{1 - \frac{2sl}{L_d}} \approx \frac{W_d}{L_d} \left[1 - 2 \frac{sl}{W_d} + 2 \frac{sl}{L_d} \right] \quad (\text{al 1° ordine})$$

[dallo formula a p precedente].

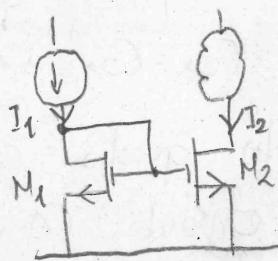
$$\Rightarrow K = \frac{\frac{W_{2d}}{L_{2d}}}{\frac{W_{1d}}{L_{1d}}} \frac{1 - 2 \frac{sl}{W_{2d}} + 2 \frac{sl}{L_{2d}}}{1 - 2 \frac{sl}{W_{1d}} + 2 \frac{sl}{L_{1d}}}$$

visto che, di solito, $W \gg L$, $\rightarrow K \approx \frac{W_{2d}}{W_{1d}} \frac{L_{1d}}{L_{2d}} \frac{1 + 2 \frac{sl}{L_{2d}}}{1 + 2 \frac{sl}{L_{1d}}}$

Se $L_{1d} = L_{2d}$ si ha un buon matching fra i transistori!

Si cerca per questo di aver sempre la stessa lunghezza.

Questa analisi riguarda gli errori di fabbricazione; gli altri errori presenti riguardano specialmente il dragging.



Errori sui gradienti

Altri errori sono quelli che riguardano i gradienti, quale per esempio la crocata dell'ossido. Dato un sottosistema del tipo:

dato un gradiente di variazione

per esempio dell'ossido, per esempio lineare, si può avere:

$$C_{ox} = C_{ox}' + mx$$

In questo caso, il rapporto delle componenti C_A composta da C_1 e C_2 , e C_B data da C_3 è:

$$\frac{C_A}{C_B} = \frac{C_1 + C_2}{C_3} = \frac{2(C_{ox}' + mx_1 + x_2)}{C_{ox}' + mx_3}$$

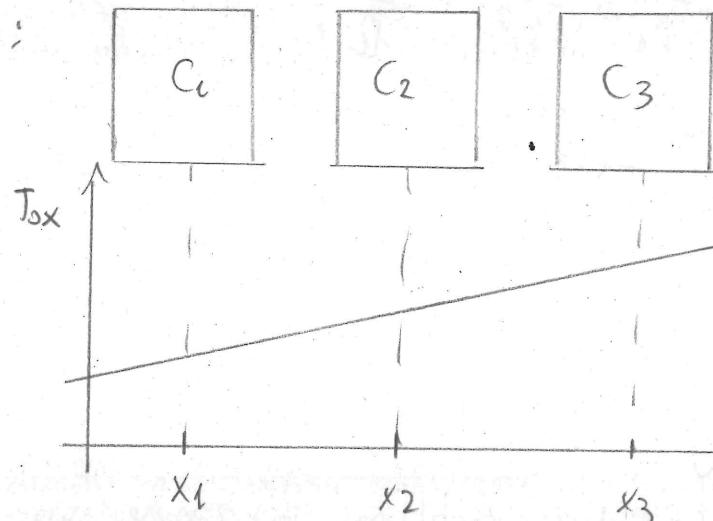
Vedendo $\frac{C_A}{C_B} = 2$, ho bisogno che $x_3 = \frac{x_1 + x_2}{2}$; C_3 deve stare in mezzo a C_1 e C_2 !

Il matching unitario può essere usato per migliorare la cosa (quanto più, dove il gradiente è lineare).

Il matching unitario (creare i vari collegamenti in parallelo) si può anche usare con le resistenze, tenendo conto di questi accorgimenti sui gradienti.

Con quali problemi nell'impiantazione dei MOS?

Gli "altri problemi" sono quelli che riguardano il dragaggio. Per realizzarle sarebbe utile, è necessario usare l'impiantazione ionica, e di solito si usa un angolo di $7\text{--}8^\circ$. Già introduce una regione d'ombra, che avrà concentrazione di dragante inferiore. Già dissimmetrizza il dispositivo. Indicando con \boxed{SD} le posizioni di source e drain, dunque, posizionare due transistori così: $\boxed{SD} \quad \boxed{SD}$ è diverso da: $\boxed{SD} \quad \boxed{DS}$. La prima è da preferirsi: "meglio sbagliati allo stesso modo". Perché, il modo corretto di disporli è "cercare un baricentro", ossia: $\cancel{\boxed{DS} \quad \boxed{DS}}$ Già "riduce l'effetto ombra": se le linee passano per lo stesso punto.



Un altro problema del dragaggio è quello delle soglie:

$$\Delta V_{TH} = \frac{K_D V_{TH}}{\sqrt{V_L}}$$

cioè è dovuto alle differenze di dragaggio.

Per ridurre le tolleranze sul mismatch delle soglie, devo ingrandire V_L . Questo per esempio è utile, quando si devono progettare coppie differenziali.

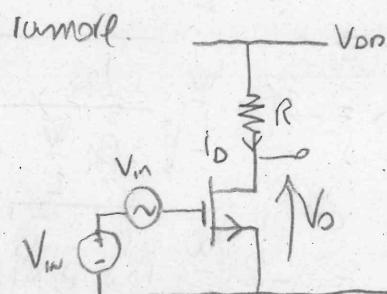
Progetto di uno stadio elementare a MOSFET

I gradi di libertà per il progetto sono la topologia e i valori dei componenti.
Le specifiche sono: guadagno, banda, slew rate, dinamico, rumore.

Stadio a source comune

Si consideri la seguente topologia:

La sua caratteristica è:

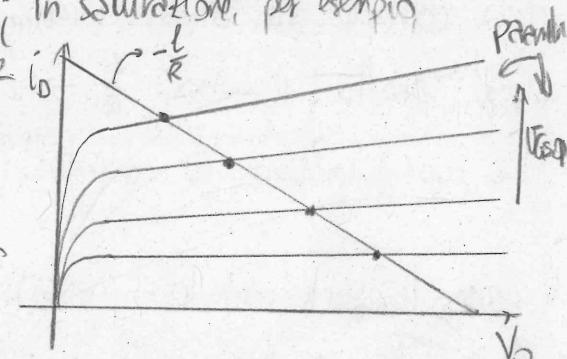


In generale,

$$V_0 = V_{DD} - R I_D$$

I_D dipende dal modello; in saturazione, per esempio

$$I_D = \beta_n \left(V_{IN} - V_{TH} \right)^2$$



Il risultato è il seguente grafico, per la determinazione del punto di lavoro.

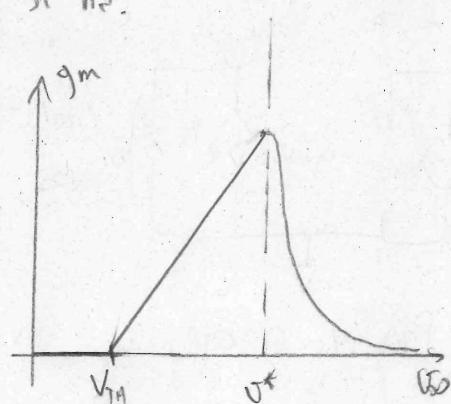
A $V_0 = V_{DD}$, si passa alla regione triodo.

Infine, in regione di saturazione (quella per cui q_m è finita), si ha:

$$\frac{V_0}{V_{IN}} = -q_m R = -2 \beta_n \frac{V_{IN}}{L} I_D R$$

Da questa formula trarrei che al crescere di V_{DD} il guadagno cresce; tuttavia, q_m ha un andamento di questo tipo:

per questo, di solito si usa tutto in saturazione.



Per aumentare il guadagno (cosa importante per inserire in un anello l'amplificatore), un'idea sarebbe polarizzare in zona trodo. Ma ciò riduce la dinamica.

Per maximizzare la dinamica di uscita, ricordando che $V_{OSL} V_{OL} V_{AL}$, si può scegliere:

$$V_{OS0} = \frac{V_{DD} + V_{SS}}{2} \quad [\text{la dinamica può essere una delle spalle!}]$$

Poi:

- cambiando R_s varia la pendenza $-\frac{1}{R_s}$.
 - cambiando V_{OS0} , "scelgo una curva diversa" (del transistor)
- } lavorando sui 2 parametri assieme si può maximizzare la dinamica.

Noto che:

$$A_v = -2 \beta_n \frac{W}{L} V_{OS0} R_s \quad , \text{ dove } V_{OS0} = \left[\frac{I_{DSQ}}{\beta_n \frac{W}{L}} \right]^{\frac{1}{2}}$$

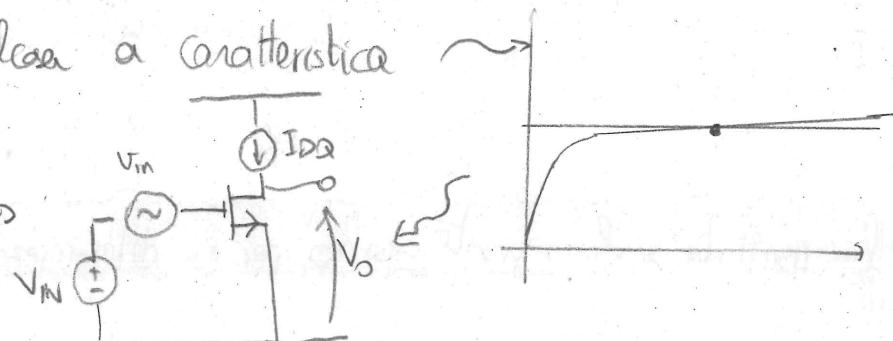
$$\hookrightarrow -2 \beta_n \frac{W}{L} \sqrt{\frac{I_{DSQ}}{\beta_n \frac{W}{L}}} R_s =$$

$$= -2 \sqrt{\frac{W}{L}} I_{DSQ} \beta_n R_s \frac{I_{DSQ}}{I_{DSQ}} = -2 \sqrt{\frac{W \beta_n}{I_{DSQ}}} V_R \quad , \text{ definita } V_R \stackrel{?}{=} R_s I_{DSQ}$$

Quindi, per poter crescere R_s si può crescere V_R , e con essa il guadagno.

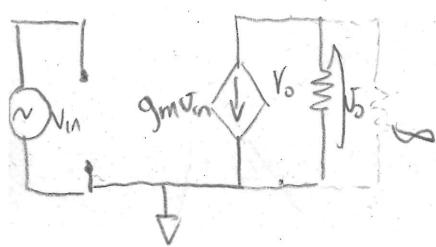
Idea: realizzare un carico (R_s) con resistenza altissima ma che lascia passare una corrente di bias. Sarrebbe qualcosa a caratteristica circa piatta ($R_s \rightarrow \infty, \frac{1}{R_s} \rightarrow 0$).

\hookrightarrow un generatore di corrente!



Il generatore di corrente (ideale)

ha $R_s \rightarrow \infty$ e quindi il modello equivalente di piccolo segnale di questo circuito è:



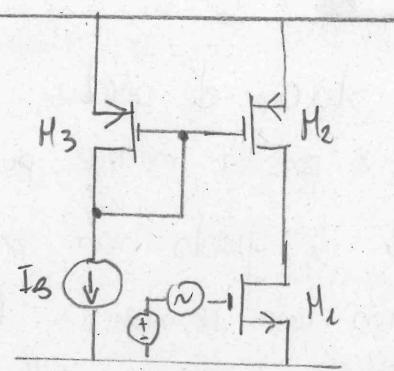
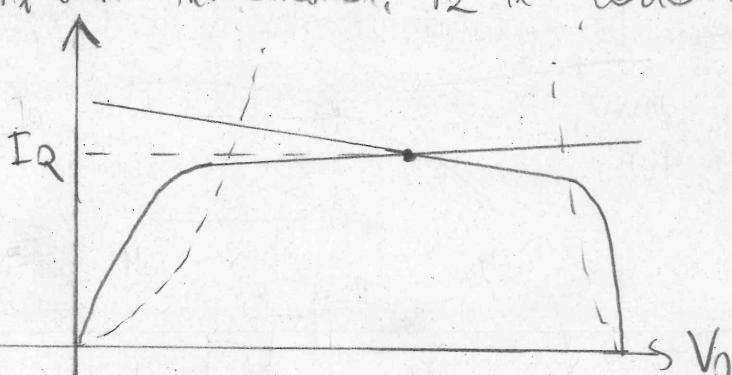
$$\frac{V_O}{V_{IN}} = -g_m R_o \quad , \text{ dove } R_o \approx \frac{1}{\lambda I_{DSQ}} : \text{ è la resistenza data dalla modulazione di canale.}$$

$$= K_d \frac{L}{I_{DSQ}} \quad (\text{K}_d \text{ costante di processo}).$$

Per far crescere R_o , devo allungare il transistor.

Un generatore di corrente si può realizzare mediante uno specchio di corrente.

H_1 è il Transistor, H_2 il "carico attivo".



Il punto di lavoro è dato dall'intersezione delle caratteristiche (che si ricorda essere abbastanza piatte; ciò introduce "indeterminazione").

Per spostare l'usata rispetto al punto di lavoro, muoversi sulla curva di carico (quella di H_2).

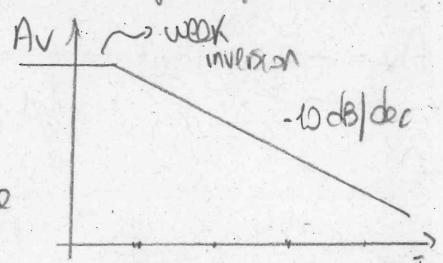
Si noti che:

$$A_V = \frac{V_D}{V_{in}} = -g_m (r_{ce} + r_{o2}) = -2 \sqrt{\beta_n \frac{w}{L} I_{DQ}} (r_{ce} + r_{o2})$$

ma: $r_{ce} + r_{o2} = \left(K_d \frac{L_1}{I_{DQ}} \right) + \left(K_d \frac{L_2}{I_{DQ}} \right) = \left(\frac{1}{K_d} \frac{I_{DQ}}{L_1} + \frac{1}{K_d} \frac{I_{DQ}}{L_2} \right)^{-1} \cdot \frac{K_d}{I_{DQ}} \left(\frac{1}{L_1} + \frac{1}{L_2} \right)^{-1}$

Se $L_1 = L_2$ per semplificare, $\frac{K_d L_1}{2 I_{DQ}}$; posso scrivere il guadagno come:

$$A_V = -2 \sqrt{\beta_n \frac{w}{L} I_{DQ}} \frac{K_d L_1}{2 I_{DQ}} = -\sqrt{\beta_n} \sqrt{\frac{w L_1}{I_{DQ}}} K_d$$



Questo significa che per far crescere il guadagno, I_{DQ} deve esser piccolo, e l'area del transistor grande; I_{DQ} è $\frac{1}{2} \cdot I_D^{-\frac{1}{2}}$, dai $10 \mu A$ ai $100 \mu A$, di solito (variazione con $I_D^{-\frac{1}{2}} = -6 \text{ dB/dec}$)

Dinamica di usata

Fissati i punti di lavoro, sono state fissate anche le dimensioni dei transistori, e anche la dinamica di usata. La R_{out} è $R_{out} = r_{ce} + r_{o2}$; quindi, ciò che rappresenta i limiti di dinamica è ciò che sta tra le regioni tronchi di uno o dell'altro transistor; il senso è che i transistori non possono andare in tronco. Quindi, $V_{DD} \leq V_D \leq V_{DD} - V_{ce2}$. Quindi, se $V_{DD} \approx V_{ce2}$, il punto "a riposo" di V_D è:

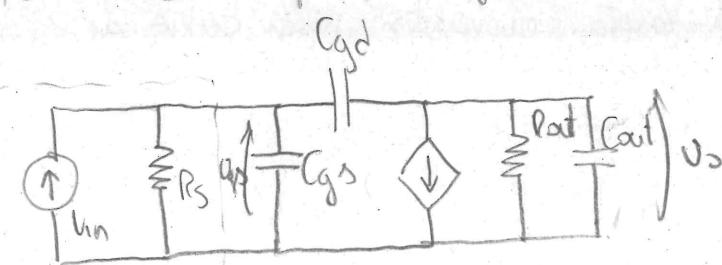
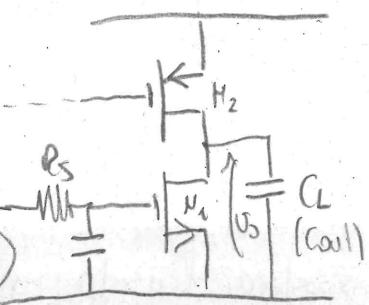
$$\bar{V}_D \approx \frac{V_{DD} - V_{ce2} + V_{ce1}}{2} \approx \frac{V_{DD}}{2}$$

Note:

- uno stadio di questo tipo guadagna da 50 a 200, quindi poco; al più, si possono mettere più stadi come questi accoppiati.
- stadi di questo tipo sono in genere caricati con una capacità di uscita C_{out} usando una resistenza R come carico, invece di una capacità, si ottiene guadagno, polarizzazione --- di tutto insomma.

Risposta in frequenza

Il modello di piccolo segnale del circuito è: v_{in}



dove

$$i_{in} = \frac{v_{in}}{R_s}, \text{ e } R_s \text{ è grossa: potrebbe}$$

essere la resistenza di uscita di un stadio precedente.

equivalente Norton
dell'ingresso

Si può dimostrare che:

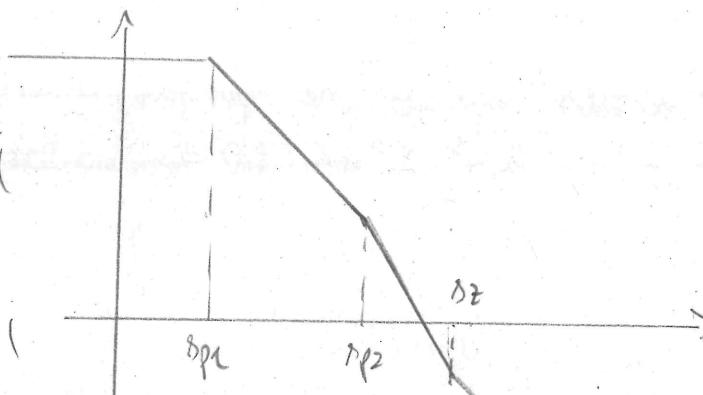
$$A_v = -g_{m1} R_{out} \frac{\left(1 + \frac{s}{s_2}\right)}{\left(1 + \frac{s}{s_{p1}}\right) \left(1 + \frac{s}{s_{p2}}\right)}$$

$$s_{p1} = -\frac{1}{R_s (1 + g_{m1} R_{out}) C_{gd} + R_s C_{in} + R_{out} (C_{gd} + C_{in})}$$

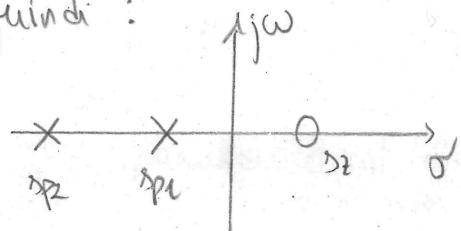
$$s_{p2} = -\frac{R_s [C_{in} + (1 + g_{m1} R_{out}) C_{gd}] + R_{out} (C_{gd} + C_{in})}{R_s R_{out} (C_{in} C_{gd} + C_{in} C_{out} + C_{gd} C_{out})}$$

dove:

$$s_2 = \frac{g_{mc}}{C_{gd}}$$



Quindi:



Di tutto ciò, consideriamo dei casi notevoli:

- $C_{out} \gg$ altre capacità
- $C_{in} \gg$ altre capacità
- Introduzione C_M (Miller)

che per C_M di solito si intende:

$$C_M \triangleq C_{gd} (1 + g_{m1} R_{out})$$

Caso 1: $C_{out} \rightarrow \infty$

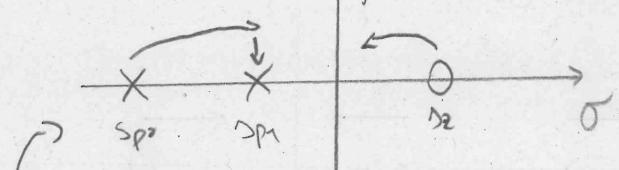
$$\hookrightarrow s_{p1} \approx -\frac{1}{R_{out} C_{out}} \quad ; \quad s_{p2} \approx -\frac{L}{R_s (C_n + C_{gd})} \quad ;$$

A questo punto, si analizzi ciò a partire della geometria:

$$s_{p1} \approx -\frac{2 I_{DQ}}{L_s K_d C_{out}} \quad ; \quad s_{p2} \approx -\frac{1}{R_s \left(\frac{2}{3} C_{ox} W_L + C_{ox} L_D W_L \right)} \quad [C_n = C_{gs}] \quad ;$$

$$s_2 = \frac{g_m}{C_{gd}} = \frac{-2 B_n \frac{W_L}{L_s} V_{DD}}{C_{ox} L_D W_L} = \begin{cases} \text{da Razani, p. 32: in saturazione,} \\ C_{GD} = C_{ov}, \quad C_{ov} = C_{ox} W_L L_D \end{cases}$$

$$= \frac{-2 B_n \frac{W_L}{L_s} \frac{V_{DD}}{L_D} \sqrt{\frac{I_{DQ}}{B_n \frac{W_L}{L_s}}}}{C_{ox} L_D W_L} = \frac{\sqrt{4 B_n I_{DQ}}}{C_{ox} L_D \sqrt{W_L L_s}}$$



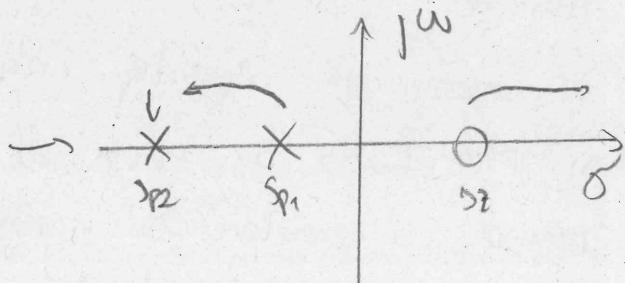
s_{p2} va verso 0

Quindi, si ha che, al crescere di W_L ,

mentre s_{p1} va verso 0,

si ha che:

- \rightarrow s_{p1} va verso destra
- \rightarrow s_{p2} va verso sinistra
- \rightarrow s_{p2} resta a posto



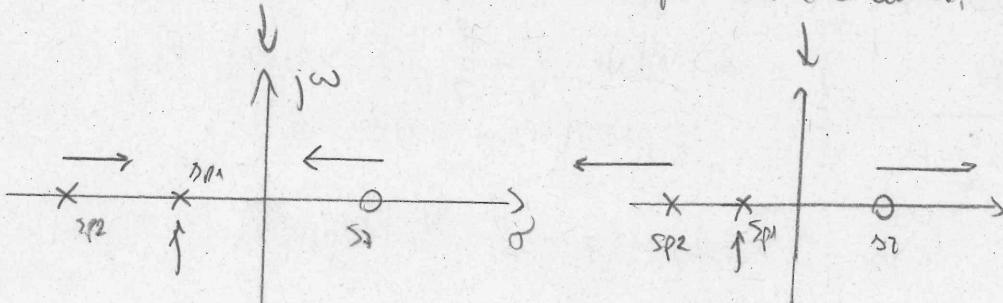
Caso 2: $\begin{cases} R_{out} (C_{gd} + C_{oi}) \ll R_s (C_n + C_m) \\ C_n \gg C_m \end{cases}$

$$\text{In questo caso, } s_{p1} \approx -\frac{1}{R_s C_n + R_{out} C_m} \quad ; \quad s_{p2} \approx -\frac{-R_s C_m}{R_s R_{out} C_n (C_{gd} + C_{oi})}$$

Qui, per W_L che aumenta,

— e per I_{DQ} che aumenta,

$$\approx -\frac{1}{R_{out} (C_{gd} + C_{oi})}$$



Caso 3: Compensazione di Miller

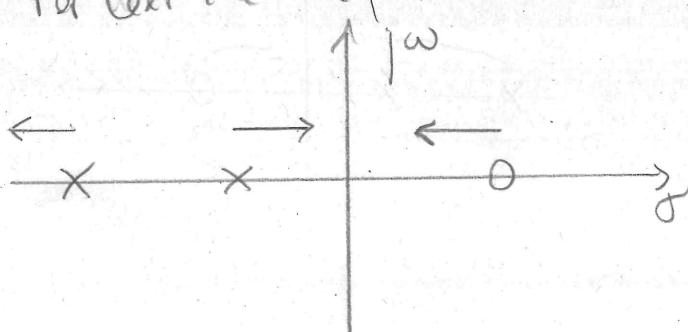
Introducendo una CM esterna, in parallelo a C_{gd} , si ottiene:

$$C_{gd\text{ eq}} = C_{gd} + C_{ext} \approx C_{ext}; \quad C_{ext} \gg C_{altri} \quad [C_{ext} \rightarrow \infty]$$

$$\Rightarrow S_{p1} \approx -\frac{1}{R_S g_m R_{out} C_{ext}} \quad ; \quad S_{p2} \approx -\frac{\cancel{R_S g_m R_{out} C_{ext}} + \cancel{R_{out} C_{ext}}}{\cancel{R_S R_{out}} (C_{gd} C_{in} + C_{gd} C_{out})} \quad [\approx 0 \text{ rispetto a } p_{altri}]$$

Quindi, in questo caso,
si ha:

Per C_{ext} che cresce, si ha:



$$\approx -\frac{g_m}{C_{in} + C_{out}} \quad \left[\begin{array}{l} \text{considera} \\ C_{ext} \gg C_{in}, C_{out} \end{array} \right]$$

$$(\text{oppure, non semplificando}), \approx -\frac{g_m C_{ext}}{C_{in} C_{out} + C_{ext} (C_{in} + C_{out})}$$

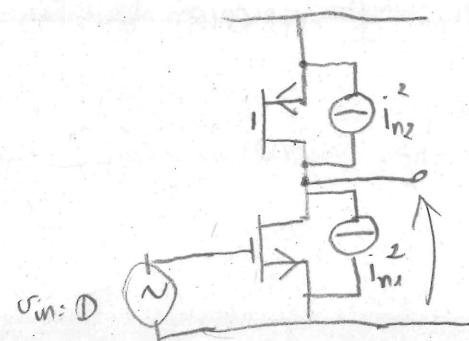
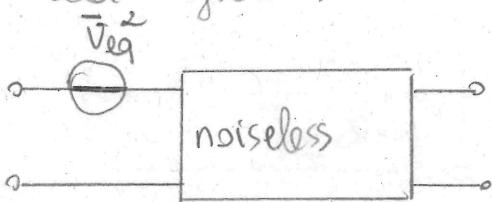
si ha il fenomeno del
pole splitting

Rumore

Si consideri il seguente circuito:

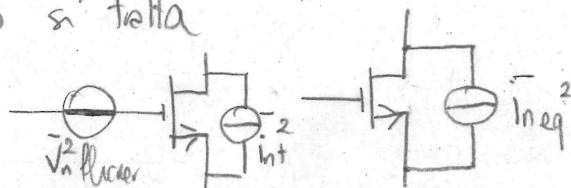
si annullano, ai fini dell'analisi di rumore, i generatori di ingresso; si può vedere che questa rete è equivalente

alla seguente:



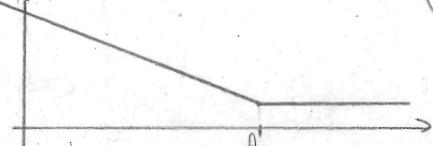
Quindi, ciò si tratta

come:



$$\bar{I}_{eq}^2 = \bar{I}_{int}^2 + g_m^2 \bar{V}_{n\text{ flicker}}^2 \quad [\text{considerando scorrilate le sorgenti}]; \quad \text{cioè:}$$

$$\bar{I}_{int}^2 = 4k_B T \gamma g_m^2; \quad \bar{V}_{n\text{ flicker}}^2 = \frac{k_f}{C_{ox} W L} \frac{1}{f} \quad \text{dove } \gamma \approx \frac{2}{3} \text{ (di solito), } k_f \text{ è} \\ \text{parametro di processo.}$$



$f_c \approx [0,5 \div 2] \text{ MHz. } f_c; \text{"frequenza d'angolo".}$

Quindi,

$$i_{eq}^2 = 4k_B T g_{m1} \gamma + \frac{Kf g_{m1}^2}{C_{ox} WL} \quad \text{e} \quad i \bar{V}_{in,eq}^2 = 4k_B T \underbrace{\left[\frac{1}{g_{m1}} + \frac{g_{m2}^2}{g_{m1}^2} \right]}_{\text{rumore termico}} + V_{nf}^2 \underbrace{\left[1 + \frac{g_{m2}^2}{g_{m1}^2} \right]}_{\text{rumore flicker}}$$

Poiché si deve fare per g_{m1} e g_{m2} : per i transistori 1 e 2.

Supponendo $f_L f_C$, si ha solo il contributo di rumore flicker:

$$\bar{V}_{ineq,in}^2 \approx \frac{Kf}{C_{ox} WL} \left[1 + \frac{\mu_p}{\mu_n} \right] \frac{1}{f} \quad : \quad \begin{array}{l} \text{se aumenta l'area del transistor (WL),} \\ \text{riduce il rumore!} \end{array}$$

Il punto è che, quindi, per avere buone frequenze, g_{m2} deve diminuire e g_{m1} aumentare: altrimenti, il contributo di rumore flicker diventa importante; modificare le g_m significa modificare i $\frac{W}{L}$ ma quindi anche la dinamica di uscita, o portata di corrente.

Si ricordi che M_2 (conico attivo) contribuisce alla definizione di P_{out} e C_{out} .

Distorsione

Due possibilità:

- transistori in saturazione, ma si vengono a generare armoniche
- transistori fuori linearità: i transistori vengono portati fuori dello stato di saturazione

Si consideri il seguente circuito:

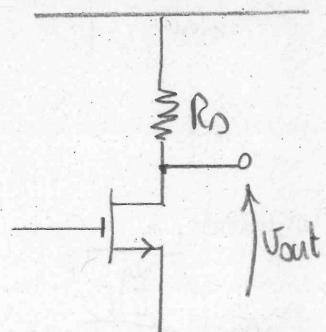
$$V_O = V_{DD} - R_D i_O$$

dove

$$i_O = \beta_n \frac{W}{L} \left(V_{IN} + V_{in} \cos(\omega t) - V_{TH} \right)^2$$

\hookrightarrow ad generare armoniche di II° ordine, anche se il transistore è nella cosiddetta "regione lineare".

Si propongono ora 2 tecniche per ridurre la distorsione.



Pre/Post distorsione

L'idea è: introdurre prima o dopo un blocco non lineare /distorcente, un altro blocco che introduca una non-linearietà "reciproca".

Si consideri per esempio ciò: si ha una "antidistorsione".

Un esempio circuitale di ciò è questo:

qua si ha:

$$V_O = V_{DD} - V_{GS2}$$

dove:

$$V_{GS2} = V_{TH2} + V_{OV} = V_{TH2} + \left[\frac{i_{D2}}{\beta_n \frac{W}{L} L_2} \right]^{\frac{1}{2}}$$

ma, essendo $i_{D2} = i_{D1}$, essendo i_{D2} legata alla tensione di ingresso, si ha:

$$V_O = V_{DD} - \left\{ V_{TH2} + \left(\frac{L}{\beta_n \frac{W}{L} L_2} \right)^{\frac{1}{2}} \left[(V_{GS1} - V_{TH1})^2 \frac{W}{L} \frac{1}{L_1} \right]^{\frac{1}{2}} \right\}$$

$$= V_{DD} - \left\{ V_{TH2} + \sqrt{\frac{L_1}{\beta_n \frac{W}{L} L_2}} (V_{in} + V_{in} - V_{TH2}) \right\} = V_{DD} - \left\{ V_{TH2} + \sqrt{\frac{\frac{W}{L} L_1}{\beta_n \frac{W}{L} L_2}} (V_{in} - V_{TH2}) \right\}$$

$$- \sqrt{\frac{\frac{W}{L} L_1}{\beta_n \frac{W}{L} L_2}} V_{in}$$

Quindi,

$$A_V = \sqrt{\frac{\frac{W}{L} L_1}{\beta_n \frac{W}{L} L_2}} . \quad \text{Se poi } L_1 = L_2, \quad A_V = \sqrt{\frac{W L_1}{\beta_n W L_2}} .$$

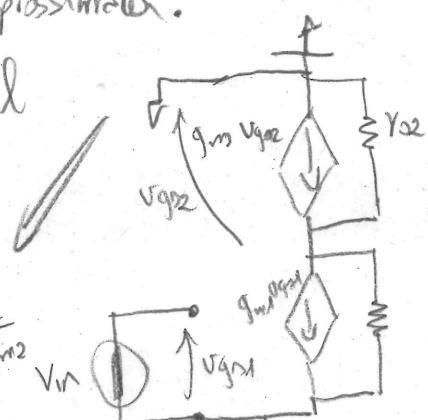
L'analisi finora condotta è in ampio segnale, NON approssimata.

Ora si considera un'analisi di piccolo segnale: il

circuito è un transconducitore, conosciuto

su $\frac{1}{g_{m2}}$. Quindi:

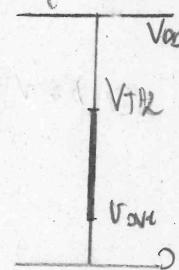
$$V_O = - \frac{g_{m1}}{g_{m2}} V_{in}$$



Da questa osservazione sul più semplice modello di piccolo segnale, per ridurre il guadagno si deve ridurre g_{mQ} e alzare V_{DS} .

Questo schema ha un grosso svantaggio: il transistore "a doppio"; esso riduce la dinamica di uscita. Infatti,

$$g_{mi} = \frac{2idQ}{V_{DS}} \quad \text{ridurre } g_m \text{ implica crescere } V_{DS} \text{ ma quindi ridurre la dinamica.}$$



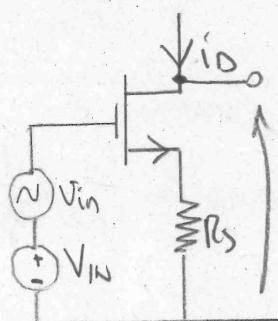
Inoltre g_m grandi richiedono transistori grandi, e ciò implica currenti i passibili.

Inoltre aumentando le "C", si ha pur sempre che $f_T \propto \frac{g_m}{C_i}$

Quindi, solendo in frequenza, se le dimensioni (e quindi le capacità) sono troppo diverse $i_{D1} \neq i_{D2}$ e il circuito non funziona.

La seconda tecnica per eliminare o ridurre la distorsione è basata sulla antireazione: chiudere il blocco distorsore in un anello.

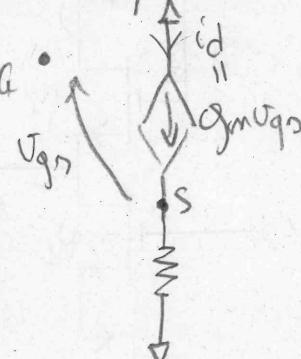
La soluzione più semplice è lo stadio "degenerato di source":



la R_S sul Source "legge" la corrente del drain (uguale a quella del source) e corregge l'ingresso introducendo una tensione correttiva (modulando V_S da V_{DS}).

Il modello di piccolo segnale è:

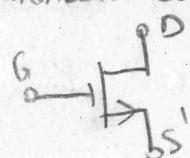
$$i_D = g_m V_{DS}$$



$$V_{DS} = V_{IN} - R_S g_m V_{DS} \Rightarrow V_{DS} \left(1 + g_m R_S \right) = 0$$

$$\Leftrightarrow V_{DS} = \frac{V_{IN}}{1 + g_m R_S} \quad ; \quad i_D = g_m V_{DS} = V_{IN} \frac{g_m}{1 + g_m R_S}.$$

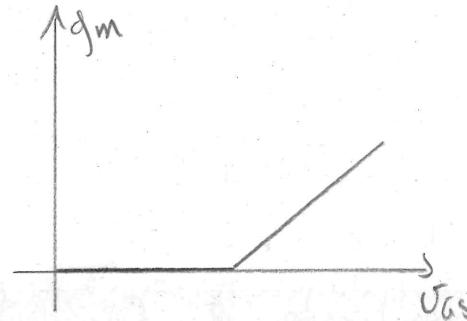
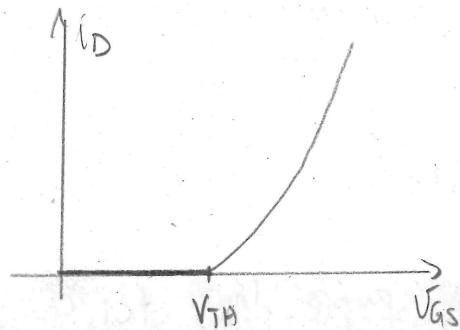
Questa è una transconduttanza. Questo circuito si può vedere come un dispositivo equivalente, dove $G_m = \frac{g_m}{1 + g_m R_S}$.



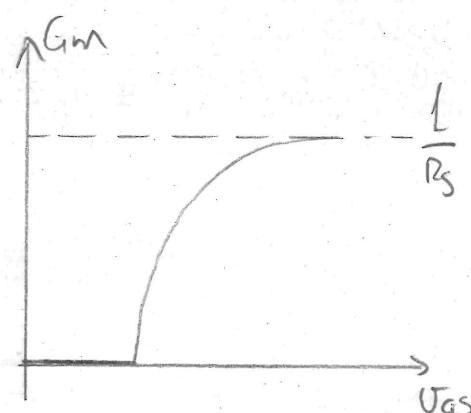
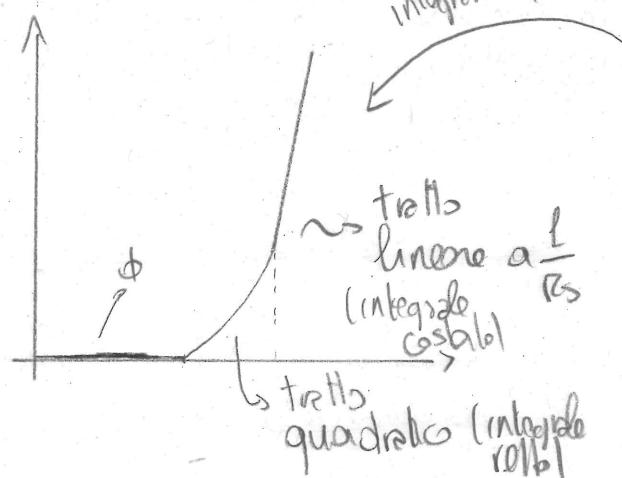
Ora: se $g_m R_S \ll 1$, $G_m \approx g_m$; altrimenti, $G_m \approx \frac{L}{R_S}$.
[circuito poco reazionale]

Consideriamo le caratteristiche del circuito senza e con retroazione:

- per $R_S = 0$, si ha il circuito non reazionale;

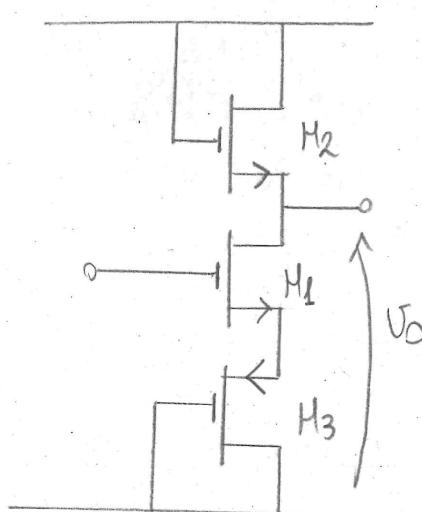


- per $R_S \neq 0$,



Se $g_m R_S \gg 1$, la linearità del circuito è aumentata! $A_V \approx -\frac{R_D}{R_S}$.

Vedendo integrare, una soluzione è la seguente:



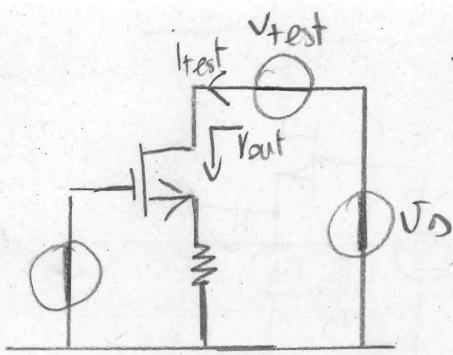
In questo caso essendo M_2 e M_3 connessi a diodo, le resistenze "viste" nei source sono $\frac{1}{g_{m2}} + \frac{1}{g_{m3}}$

Quindi,

$$A_V = -\frac{g_{m3}}{g_{m2}}$$

E così dipende dai rapporti dei W dei 2 transistori.

Il vantaggio principale del circuito degenere di source (common source) è l'elevata impedenza di uscita; infatti, si può vedere che:



$$V_{out} = \frac{V_{test}}{I_{test}} = R_o + (g_m + g_{mb}) R_S R_o + R_S$$

Stadio a gate comune

Uno stadio a gate comune ha una configurazione di questo tipo:

il gate è a potenziale costante

e polarizza il transistore. L'ingresso è nel source.

Passando il modello di piccolo segnale,

$$V_D = -R_D I_D = -R_D g_m V_{GS}$$

$$V_{GS} = V_g - V_{S1} \quad J_{GS} = 0 \quad \text{per } V_{S1}$$

si deve valutare l'impedenza vista guardando

nel source. Si può dimostrare che $Z_{in,s} = \frac{1}{g_m}$

$$\therefore V_{GS} = -\frac{1}{g_m} \frac{1}{\frac{1}{g_m} + R_S} = -\frac{1}{1 + g_m R_S} V_{in} \quad \text{ma quindi}$$

$$\frac{V_D}{V_{in}} = + \frac{g_m R_D}{1 + g_m R_S} \quad \left[\text{come il source comune, ma non invertente} \right]$$

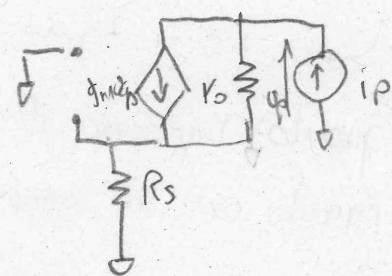
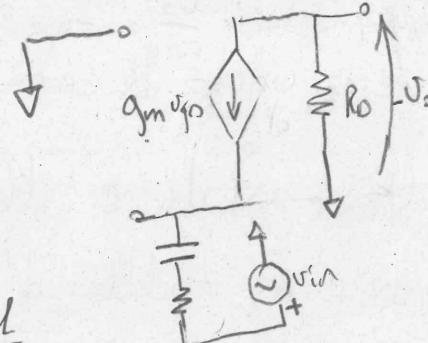
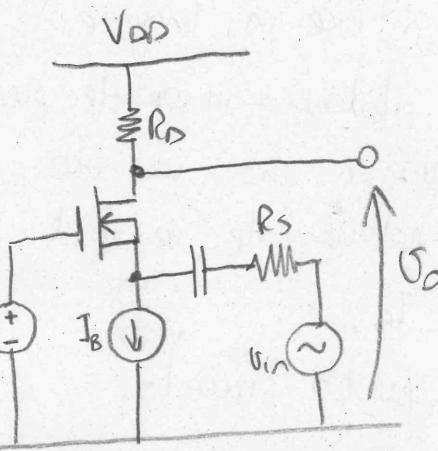
Studio l'impedenza di usata: metto un generatore di paura al drain, e vedo che:

$$J_P = (I_P - g_m V_{GS}) R_o + I_P R_S$$

$$V_{GS} = -I_P R_S \Rightarrow V_P = (I_P + g_m I_P R_S) R_o + I_P R_S =$$

$$= R_o + g_m R_S R_o + R_S$$

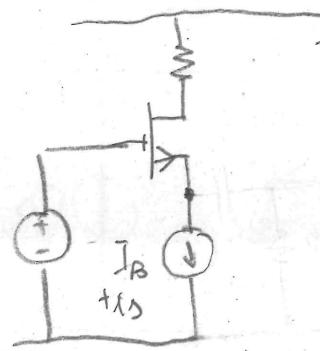
(la stessa del source comune degenerato di source).



Questo stadio può anche essere pilotato in corrente:

questo è uno stadio di transresistenza: si entra in corrente e si esce in tensione.

Il trucco del pilotaggio in corrente può essere applicato al fine di conciare con un solo generatore, realizzato mediante transistor MOS, ciò accresce notevolmente la Z_{out} . M_2 è l'implementazione del generatore I_B .



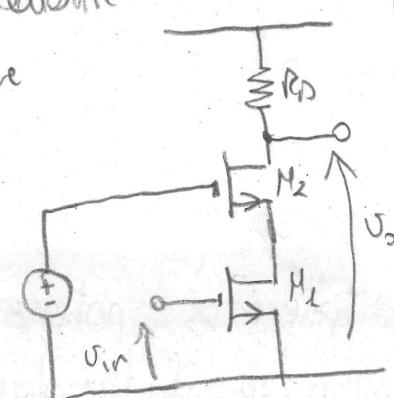
Si ha per questo circuito:

$$V_o = -R_D i_d = -R_D g_m V_{gs1}$$

V_{gs1} è regolata da M_2 ; quindi, considerando

$$V_{inG} = V_{gs1} \Rightarrow \frac{V_o}{V_{inG}} = -g_m R_D : \text{come prima!}$$

↳ tensione di ingresso del canale gate



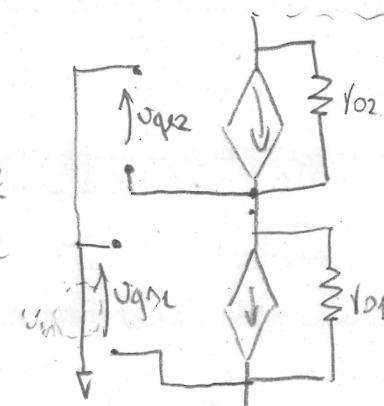
Caratteristiche statiche dello stadio cascode

Si consideri il modello di piccolo segnale del circuito:

- Per il calcolo di Z_{out} , si annullano i generatori dipendenti: $V_{in} = 0$. Quindi, $V_{gs1} = 0$. In tal caso, applicando un generatore di corrente di test (mi aspetto impedenza alta),

$$V_p = r_{o2} (i_p - g_{m2} V_{gs2}) + i_p r_{o2}$$

$$\text{però, } V_{gs2} = V_{g2} - V_{s2}; \quad V_{s2} = i_p r_{o2}$$



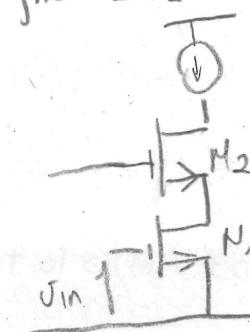
$$\hookrightarrow r_{o2} (i_p g_{m2} i_p r_{o1}) + i_p r_{o2} \Rightarrow Z_{out} = r_{o2} + r_{o1} + g_{m2} r_{o2} r_{o1}$$

Per quanto riguarda il guadagno, supponendo di caricare il circuito con un generatore ideale al posto di R_D , si ha:

$$i_{dL} = g_{m2} V_{in}; \quad i_{d1} = i_{s2} = I_{d2} \quad [\text{perché si è in stato}]$$

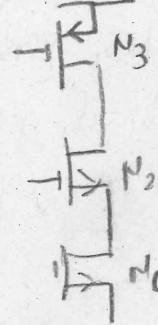
$$i_{d2} = I_{d2} R_{out} \Rightarrow V_o = g_{m1} R_{out} \quad [\text{sostituisco } R_{out}]$$

$$\hookrightarrow A_v = \frac{V_o}{V_{in}} = g_{m1} g_{m2} r_{o1} r_{o2}$$



Questo, se il corso del cascode è a impedenza elevata per realizzarla, la prima idea è usare un corso attivo:
solo che, in questo modo,

$$\frac{V_o}{V_{in}} = -g_m R_{out} = -g_m [R_{out} + r_{ds3}] = -g_m [g_m r_{ds2} + r_{ds3}]$$



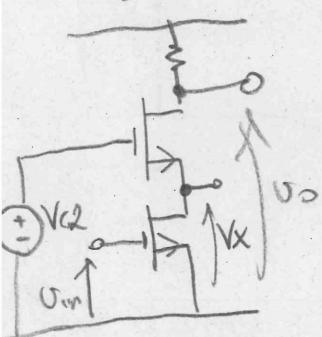
Ma ciò riduce il guadagno! Infatti il risultato del parallelo
è una resistenza un po' più piccola della più piccola!

Idea "grasta": conoscere un cascode con un alto cascode

In questo modo, le impedenze sono circa uguali.

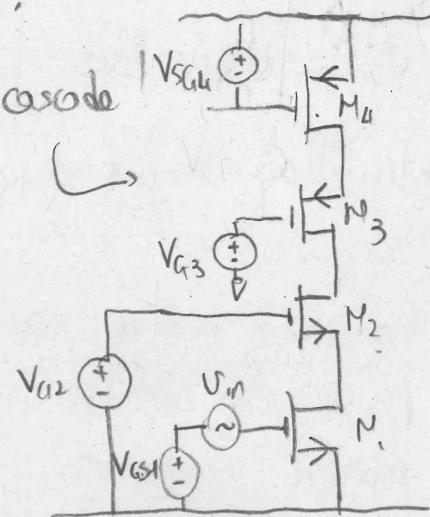
Dinamica di usata

Il circuito funziona come un amplificatore fino
al momento in cui i MOS sono in saturazione.



Si consideri per ora questo
circuito, con la resistenza
 $J_D L / V_{DD}$.

Per quanto riguarda il limite inferiore della dinamica,
tutti i transistori devono essere in saturazione.



Vedendo che: $V_x = V_{G2} - V_{GS2}$, si deve imporre che

$$V_x > V_{ORL} \quad (= V_{GS2} - V_{TH2})$$

Da ciò, si richiede che

$$J_{DS2} > V_{ORL} \Rightarrow J_{D2} - V_{S2} = J_{D2} - (V_G - V_{GS2})$$

E qui si deve richiedere $V_G - V_{GS2} > V_{ORL}$, dove $V_{ORL} = V_{GS2} - V_{TH2}$

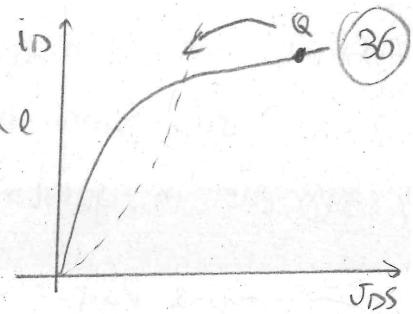
$$\text{Poi, } J_{D2} = J_D \Rightarrow J_D > V_G - V_{TH2}$$

Questo è il limite inferiore della dinamica di usata.

Si vorrebbe ridurre V_G per aumentare la dinamica; per aumentare il guadagno, un'idea è usare transistori lunghi, al fine di aumentare r_{ds} .

C'è un problema: per aumentare la resistenza, si dovrà opporre più tensione

il canale, ma se la corrente diminuisce Q si sposta in dietro, verso zone in cui la pendenza della curva aumenta e quindi il quadrato (la resistenza) diminuisce.



(36)

Ciò che si fa di solito per progettare è:

$$V_x = V_{DOL}$$

Quindi

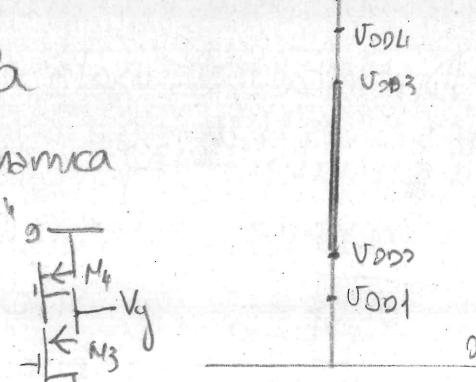
$$V_{Qmin} = V_{DOL} + V_{DS2}$$

Ciò soddisfa (tendenzialmente) entrambe le specifiche.

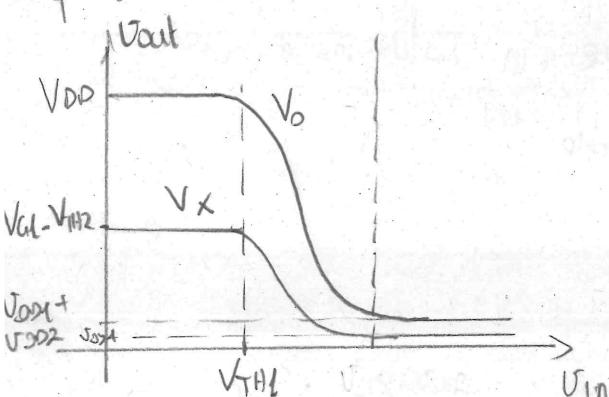
Rispetto a un source comune, si perde dinamica ma acquista guadagno.

Concanto inoltre con un cascode invece che con la resistenza, accade qualcosa di simile: anche la dinamica superiore viene ridotta. Considerando V_g il punto "dado" a

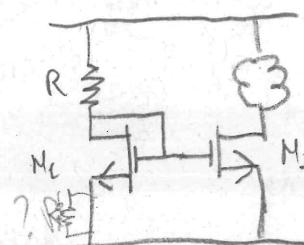
$$V_x, V_g \geq V_{DD} - V_{DS4}, \text{ si sceglie } V_g = V_{DD} - V_{DS4}$$



Ora, si consideri la caratteristica statica di questo circuito: (considerando concato su R_0)



Per capire, si consideri uno specchio di corrente:



Nello specchio, si consideri ad esempio: se R è piccola, la corrente su M_2 è costante fino a quando esso è in saturazione. Se R cresce, la corrente è pressoché costante fino alla saturazione, ma per $R \rightarrow \infty$ non c'è più corrente, e la tensione sulla resistenza è nulla.

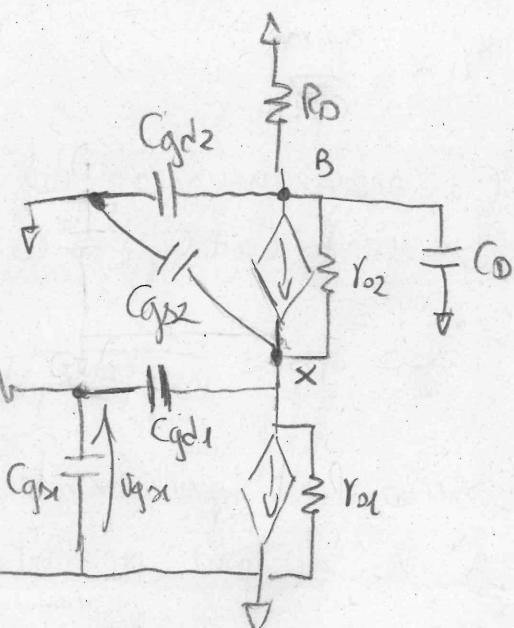
Ciò che accade nel cascode è: se M_1 è spento, esso diventa quasi un circuito aperto; al gate il potenziale è costante, e al source di una presa corrente da parola: M_1 è spento, ma M_2 è in weak inversion.

La stessa cosa capita per M_3 (considerando il circuito concordato a caso de):
 esso vorrebbe forzare la corrente, ma sotto si trova dei circuiti aperti. Questo
 significa che è in triodo: dà la possibilità di portare corrente ma non dà
 la tensione per B . M_3 e M_4 sono in triodo.

Non essendoci corrente, non c'è caduta di tensione (su R_D), quindi l'uscita
 è a V_{DD} (infatti, V_o va a V_g essendo il triod a corrente circa nulla, ma
 $V_g = V_{DD}$ per M_4 per lo stesso motivo).

Quando V_{in} raggiunge la soglia V_{IN1} , inizia la conduzione.

Se V_{in} cresce troppo, V_x si riduce sotto V_{in} , M_1 va in triodo, V_{out} va sotto
 V_{G2} e così anche M_2 va in triodo. La tensione di uscita va a 0, circa.



Risposta in frequenza

Considerando la struttura concordata su R_D ,
 e il modello di piccolo segnale, si faccia
 ora l'analisi della risposta in frequenza.

3 nodi: A, B, X; guardando i 3
 nodi, servono delle espansioni approssimate.

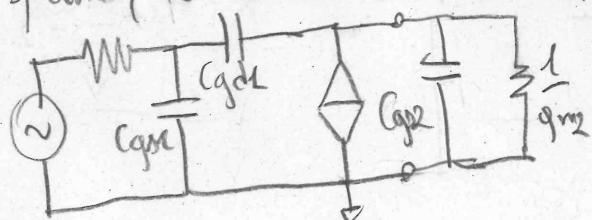
Sul nodo A, C_{gdx} è verso il riferimento,

C_{gdx} verso X; su X, C_{gdx} è verso il riferimento;

sul nodo B, C_{gd2} è verso il riferimento, così come
 il carico capacitivo C_D .

[Nota: il nodo B è "a pote",
 sia perché c'è l'impedenza immensa,
 guardando verso B]

Il nodo X è il nodo che collega i 2 stadi: M_1 in common source,
 M_2 in common gate. Da X si vede sostanzialmente $\frac{1}{gm_2}$ come impedenza;
 quindi, il circuito si può rappresentare come:



Questo è un common source cancolto in $\frac{1}{gm_2}$;
 quindi, il suo guadagno è:

$$-\frac{gm_1}{gm_2}$$

Applicando il teorema di Miller su C_{gd2} , si può dire che:

$$s_{PA} = -\frac{1}{R_S \left[C_{gs2} + \left(1 + \frac{g_{m2}}{g_{m1}} \right) C_{gd2} \right]} \quad \left[\begin{array}{l} \text{"capacità a ponte" viene} \\ \text{moltiplicata per } \left(1 + \text{GUADAGNO} \right) \end{array} \right]$$

Se g_{m2} è grosso, l'effetto Miller scompare: lo stadio Cascode non è dunque troppo affatto dall'effetto Miller.

Supponendo di applicare ancora comunque Miller, il node X è coulato in $\frac{1}{g_{m2}}$, e alla sua C_{gs2} si aggiunge la C_{gd2} , che è trascurabile, poiché non amplificata da Miller. Quindi,

$$s_{PX} \approx -\frac{g_{m2}}{C_{gs2}}$$

la "capacità a ponte" introduce uno zero nel fronte a destra (salito):

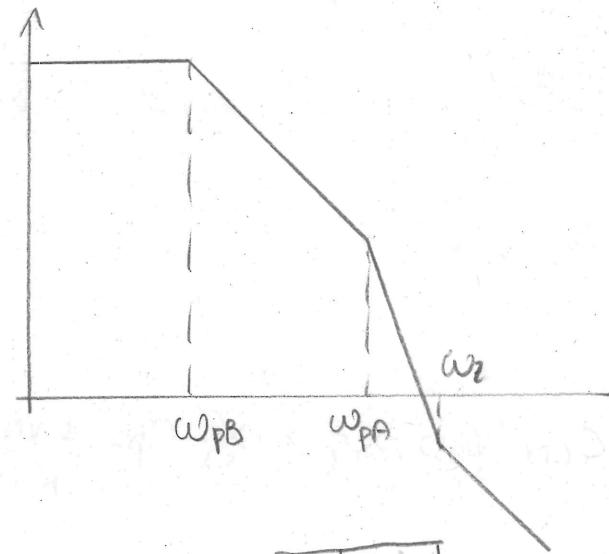
$$\omega_2 \approx \frac{g_{m2}}{C_{gd2}}$$

C'è ancora un polo del node B visto la resistenza R_{out} ; quindi, ha, considerando $C_{gs1} + C_{gd2} \approx C_0$

$$\hookrightarrow s_{PB} \approx -\frac{1}{R_{out}(C_0 + g_{m1})} \approx -\frac{1}{R_{out} C_0}$$

Essendo R_{out} generalmente molto grande,
"B" ha il polo prevalente.

Nota: essendo l'effetto Miller poco presente,
la banda di questo stadio è generalmente
abbastanza larga



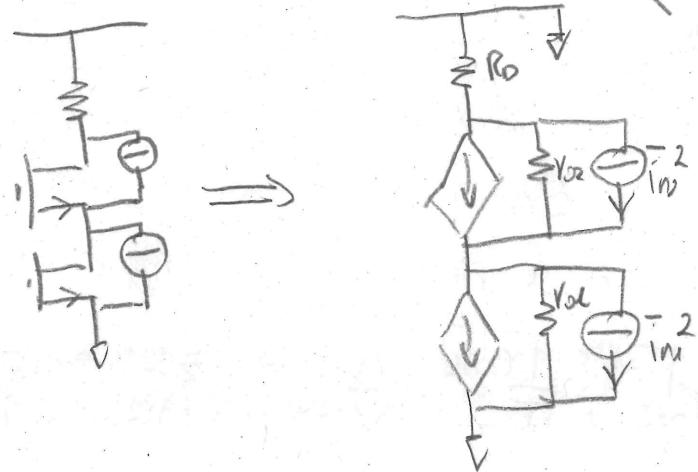
Analisi del rumore

Il procedimento è il solito:

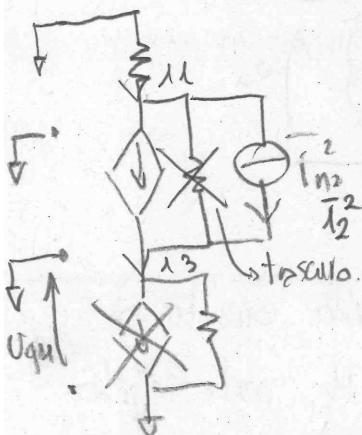
trascurare il rumore di R_D ; si ha:

$$\bar{V_o^2} = \bar{V_{p1}^2} + \bar{V_{p2}^2}$$

$\downarrow n_1 \qquad \downarrow n_2$



Si applica sui generatori indipendenti di potenza rumoreosa il principio di sovrapposizione degli effetti. Per il contributo di M_2 sulla tensione di usata, \bar{V}_{D2} , si ha ciò:



$$V_{gS1} = \Phi \text{ quando } g_{m1} V_{gS1} = \Phi$$

$$I_1 = I_3; \quad I_1 = \bar{I}_2 + g_{m2} V_{gS2},$$

dove $V_{gS2} = -I_3 R_{L2}$

$$\hookrightarrow I_1 (1 + g_{m2} R_{L2}) = \bar{I}_2$$

$$\hookrightarrow I_1 = \frac{\bar{I}_2}{1 + g_{m2} R_{L2}}$$

Quindi,

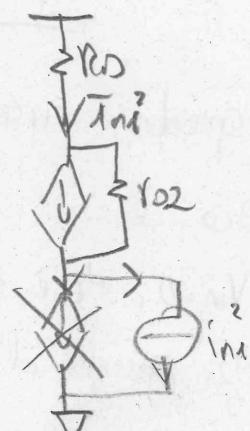
$$V_D = R_D I_1 \rightarrow \bar{V}_{D2} = \frac{R_D^2}{(1 + g_{m2} R_{L2})^2} I_{in2}^2$$

[Nota: in entrambi i casi presuppongo $R_D \gg L_L R_{out}$, quindi per questo tascabile! Dovendo tener conto se provvedo una V_{gp} !]

[Se $g_{m2} R_{L2}$ è grosso, il rumore di M_2 è trascurabile.]

Per M_1 , invece,

$$\bar{V}_{D1}^2 = R_D^2 I_{in1}^2 \quad (\text{essendo } V_{gS1} = \Phi \text{ anche ora})$$



Considerando lo studio concentrato su un altro cascode, ben progettati, M_2 e M_3 fanno contributi meno significativi: i controlli contribuiscono meno al rumore.

Quindi:

$$\bar{V}_D^2 \approx R_{out} (\bar{I}_{in1}^2 + \bar{I}_{in2}^2)$$

$$\hookrightarrow \bar{V}_{in}^2 = \frac{\bar{V}_D^2}{A_V^2}.$$

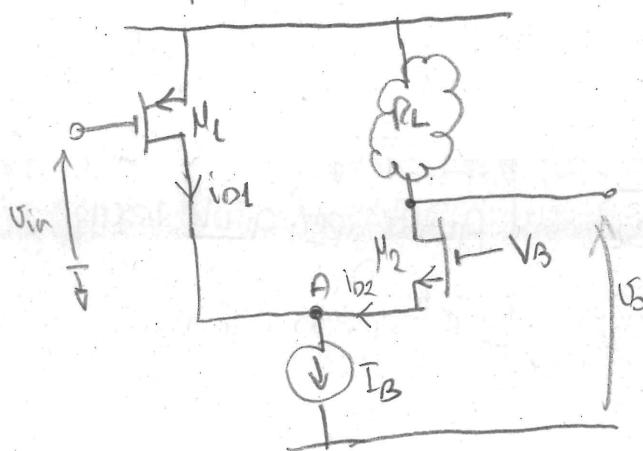
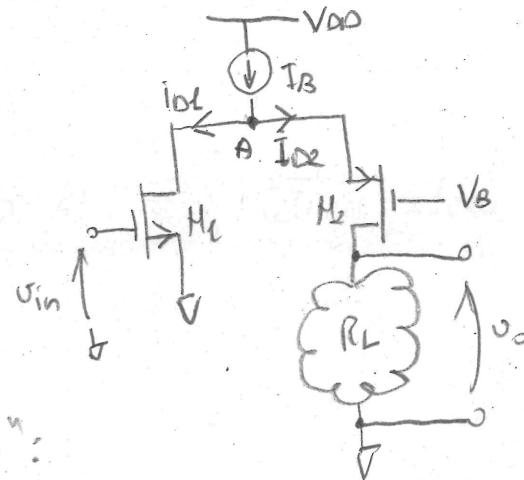
Folded cascode

I cascode "classici", finora studiati, sono detti "telescopio"; un'altra variante sono gli stadi cascode "ripiegati", o "folded".

Si parte dalla seguente idea:

a differenza del cascode d'anno, in questo si usa un pmos per lo stadio a gate comune.

Alternativa a questo schema è il suo duale; quello che usa un "transistor n":



Per questo circuito la caratteristica statica è:

per $V_{in}=0$, M_1 è spento, tutta la I_B va in M_2 , quindi al canale, e secondo di R_L , M_2 può anche non essere in saturazione.

Non manca che M_1 si accenda, esso "ruberà" sempre più corrente, riducendo la caduta di tensione sul canale. Per $V_{in} = V_{in}^*$, tutta la corrente viene portata via.

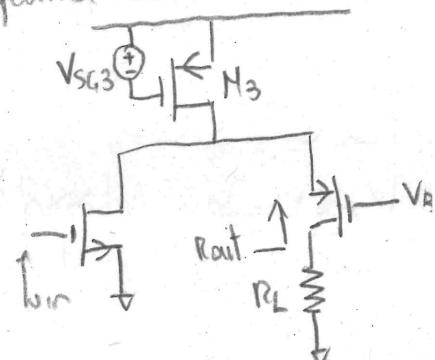
$$V_{in}^* = V_{THL} + \left(\frac{I_B}{B_n \frac{W}{L} k} \right)^{\frac{1}{2}} \quad \begin{bmatrix} \text{quella tensione per cui su } M_1 \text{ di } i_{D1} = I_B \\ (V_{DD}) \end{bmatrix}$$

Si fissi il punto di lavoro in Q ; qui, entrambi i transistori sono in saturazione. Se si modula da qua V_{in} , si modula i_{D1} , ma quindi anche i_{D2} .

Quindi:

$$\delta_i = R_L i_{D2} = -R_L i_{D1} = -g_m L R_L V_{in}$$

Il guadagno è il solito, mentre l'impedenza cambia un po'. Considerando un generatore reale di corrente,



(46)

$$R_{out} = \frac{V_{DD2}}{I_{D2}} \left(R_{DS2} + R_{DS1} \right) \quad [poco più bassa che nel caso b]$$

Per quanto riguarda la dinamica di uscita, serve che il node A sia vicino a V_{DD} : si plauso qui.

$$V_A = V_{DD1}$$

Il limite superiore riguarda la linearità del generatore di bias H_3 :

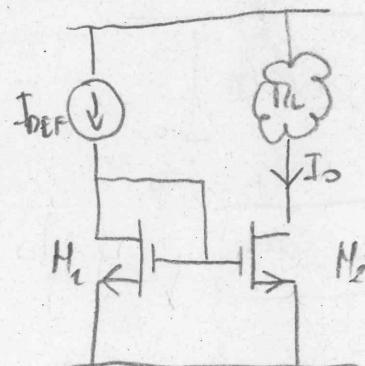
$$V_A \leq V_{DD} - V_{DD3} \rightarrow V_o \leq V_{DD} - V_{DD3} - V_{GD2}$$

Questo significa che, sebbene il quadro sia leggermente inferiore, la dinamica è pressoché identica: da V_A a V_o si aggiunge l'overdrive di H_3 . Tuttavia, è interessante il fatto che il transconduttore non influenzi il limite inferiore della dinamica: V_A è controllata dalla caduta di tensione su R_L , quindi si ha il vincolo su V_A , ma il fatto che sia rispettato dipende dal carico R_L .

Circuiti di polarizzazione

Specchi di corrente

Uno specchio di corrente, data una I_{REF} , la converte a una V_{GSC} mediante un transistore a diodo (bias debole); la V_{GSC} va a H_2 , e così si impone per il canale il passaggio di I_{REF} .



Lo scopo degli specchi di corrente è distribuire una corrente di riferimento per l'integraz.

È richiesto lo stato di saturazione: $V_{DS2} > V_{DD2}$

In queste condizioni,

$$\left. \begin{aligned} I_{REF} &= \beta_n \frac{W}{L} \lambda_1 (V_{GS} - V_{TH1})^2 (1 + \lambda_1 V_{DS1}) \\ I_o &= \beta_n \frac{W}{L} \lambda_2 (V_{GS} - V_{TH2})^2 (1 + \lambda_2 V_{DS2}) \end{aligned} \right\} \Rightarrow \frac{I_o}{I_{REF}} = \frac{\frac{W_2}{L_2}}{\frac{W_1}{L_1}} \frac{(V_{GS} - V_{TH2})^2}{(V_{GS} - V_{TH1})^2} \frac{(1 + \lambda_2 V_{DS2})}{(1 + \lambda_1 V_{DS1})}$$

se $V_{TH1} = V_{TH2}$

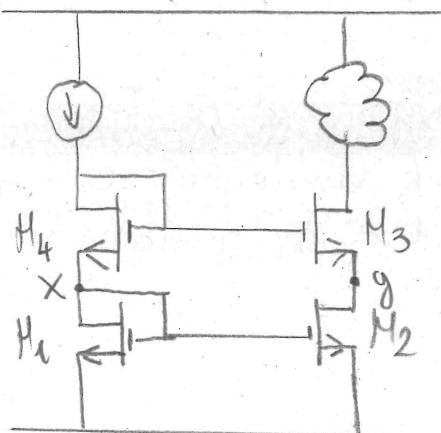
Anche con un ottimo matching e supponendo $\lambda_1 = \lambda_2$, purtroppo $\frac{I_0}{I_{DS1}} \neq \frac{W_2}{W_1}$. (L2)

La soluzione per questo è: cercare di ottenere un circuito tale per cui $V_{DS1} = V_{DS2}$.

Se si riesce a far in modo che $V_x = V_g$, si riesce a ottenere un rapporto di speckaggio K "ideale".

Ciò aumenta la precisione ma riduce la dinamica.

Da ciò, il circuito utilizzabile è il seguente:



[Specchio cascode]

Si ha:

$$V_x = V_{GSL} = V_{THL} + V_{DS1}$$

$$V_g = V_{GSL} - V_{GS4} - V_{GS3} = V_{THL} + V_{DS1} + V_{TH4} + V_{DS4} - V_{TH3} - V_{DS3}$$

Quindi, $\left[\text{se } \frac{W_2}{W_1} = \frac{W_3}{W_4} = K \right] \quad (*)$

$$V_x = V_g$$

$$\hookrightarrow V_{THL} + V_{DS1} = V_{DS4} + V_{DS3} - V_{DS2} + V_{TH3}$$

$$\Rightarrow V_{DS4} = V_{DS3}$$

(questo implica:

$$\sqrt{\frac{I_0}{Bn \frac{W_3}{L_3}}} = \sqrt{\frac{I_{REF}}{Bn \frac{W_4}{L_4}}}$$

$$\hookrightarrow \frac{I_0}{I_{REF}} = \frac{W_3}{W_4} \quad \left[\begin{array}{l} \text{A questo punto però è anche} \\ \text{richiesto un buon matching} \end{array} \right]$$

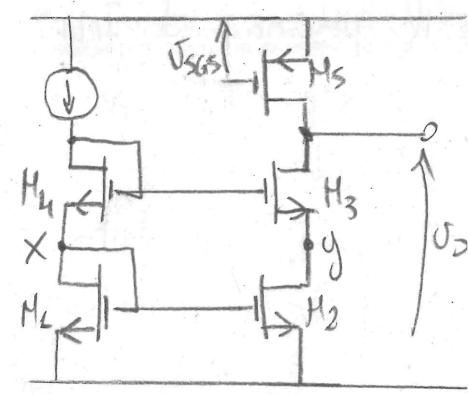
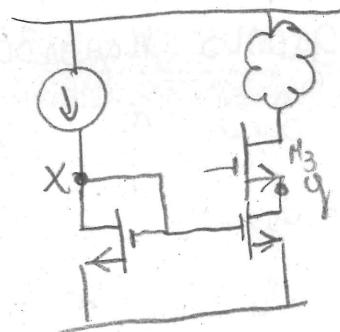
Ocupiamoci a questo punto della dinamica di questa topologia: cercando lo scherzo con un transistore, qual è il limite inferiore della dinamica di usata?

$$V_{min} = V_g + V_{DS3}$$

ma

$$V_g = V_{GSL} + V_{GS4} - V_{GS3} \quad \left[\text{se vale la condizione di prima} \right] \quad (**)$$

$$\hookrightarrow \text{allora, } V_{min} = V_{THL} + V_{DS1} + V_{DS3} \quad (V_{max} = V_{DS} - V_{DS3})$$



$$V_{DS1} + V_{DS3}$$

$$+ V_{DS2} + V_{DS3}$$

nv

Specchio di corrente a elevata dinamica di usata

L'idea è diversa rispetto alla precedente:

essendo la stessa V_A si ha:

$$V_X = V_g$$

Il collegamento tra I_{REF} e il gate di M_L introduce una retroazione: fino a quando i transistori sono percorsi da corrente, $V_X = V_g$.

M_L non è più a diodo! Ora V_{DSL} può anche essere inferiore a V_{GSL} !

Gli obiettivi per noi sono 2:

avere $V_X = V_g$ (e quindi un prezzo rapporto di specchiaggio), massimizzare la dinamica di usata

Per il secondo punto, mettendo una V_B idonea, è possibile ottenere

$$V_{g\min} = V_{DD2} + V_{DS2}$$

Ora: V_B va scelta in modo tale che $V_{DS2} = V_{DD2}$; ciò massimizza la dinamica.

V_B ha vincoli; è infatti necessario che alcune condizioni siano soddisfatte:

$$\begin{cases} V_{DS1} \geq V_{DD1} \\ J_{DS3} \geq J_{DD3} \end{cases}$$

Ma:

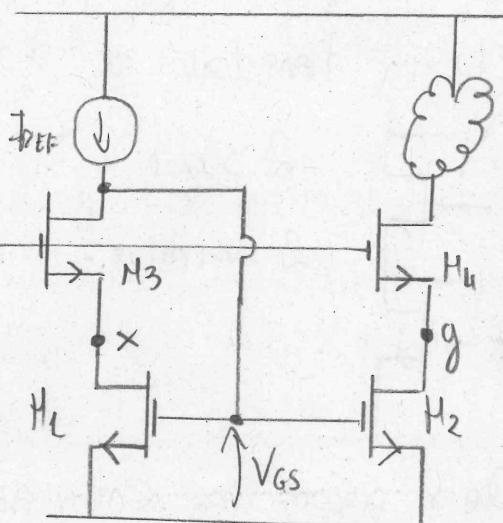
$$\left. \begin{array}{l} V_{DS1} = V_B - V_{GS3} \\ V_{DS3} = V_{GSL} - (V_B - V_{GS3}) \end{array} \right\} \Rightarrow \begin{cases} V_B \geq V_{DD1} + V_{TH3} + V_{DD3} \\ V_B \leq V_{THL} + V_{DD2} + V_{TH3} \end{cases}$$

Da qui, eguagliando le due,

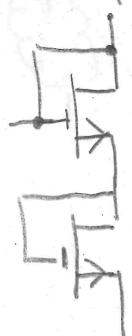
$$V_{DD3} + V_{DD1} + V_{TH3} \leq V_{THL} + V_{DD2} + V_{TH3} \Rightarrow \boxed{V_{DD3} \leq V_{THL}}$$

Circuiti per generare V_B

Serve a questo punto generare la V_B , cercando di avere proporzionale alla I_{REF} . Infatti, si è detto che $V_B \geq V_{DD1} + V_{DD3} + V_{TH3} = V_{DD1} + V_{GS3}$.



Per convertire correnti in tensioni un'idea è usare transistor a diodo: 44
ciascun transistor a diodo fornisce una tensione di soglia e un overdrive.



2 soglie +
2 overdrive!

Problema: V_B non è costante, ma
si deve adattare!

Ora si propone una configurazione con la quale si può ottenere con un blocco la sola V_{AS3} con l'altro la sola V_{OD1} . Il circuito per far ciò è il seguente:

V_{AS3} viene prodotta con un transistor a diodo; questo è uguale a H_3 fin quanto si ha matching.

Per V_{OD1} , si ha: (per ispezione della figura a destra):

$$V_{DSG} = V_{GS6} - V_{TH6} = V_{OD1} - V_{DS6} \quad (\text{se i transistor sono ben matched}).$$

Ma quindi

$V_{DSG} \approx V_{OD1}$: H_6 è in triodo.

Si ricordino ora le equazioni della zona triodo, per parte $V_{DSG} = V_{OD1}$:

$$I_{REF} = B_n \frac{W}{L} |_6 \left[2(V_{GS6} - V_{TH6})V_{DS6} - V_{DS6}^2 \right]$$

[dove $V_{AS3} = V_{DS6} + V_{GS7}$]

ma se $V_{DSG} = V_{OD1}$,

trascurando $V_{TH7} - V_{TH6} \approx 0$,

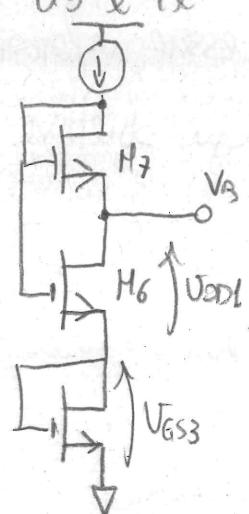
$$\hookrightarrow \frac{I_{REF}}{B_n \frac{W_6}{L_6}} = V_{OD1}^2 + 2V_{OD1}V_{DS6}$$

sostituendo:

$$\frac{I_{REF}}{B_n \frac{W_6}{L_6}} = \frac{I_{REF}}{B_n \frac{W_6}{L_6}} + 2 \frac{I_{REF}}{B_n \sqrt{\frac{W_6}{L_6}} \sqrt{\frac{W_7}{L_7}}} \quad (\text{se } \frac{W_6}{L_6} = \frac{W_7}{L_7})$$

$$\hookrightarrow \frac{W_6}{L_6} = \frac{1}{3} \frac{W_7}{L_7}$$

E questa è la relazione di progetto per il circuito adattato per la generazione di V_B .



A questo punto, si vuole valutare quanto I_{REF} sia costante al variazione di V_{DD} o della temperatura T . Si vede che:

$$\frac{\Delta I_{REF}}{\Delta V_{DD}} \approx 0, \quad \left(\frac{\Delta I_{REF}}{\Delta T} \right) \approx 0.$$

La prima soluzione è realizzare il generatore I_{REF} mediante una resistenza di polarizzazione:

Valutiamo la variazione di corrente di uscita con T e V_{DD} :

$$\frac{\Delta I_{out}}{\Delta V_{DD}} = \frac{g_{m1}}{R + g_{m1}} g_{m2} = \frac{g_{m2}}{1 + R g_{m1}} \quad \left[\text{paritare tra } \frac{1}{g_{m1}} \text{ e } R; \text{ questo dà } V_{GS1}, \text{ che viene moltiplicata per la transconduttanza di } M_2 \right]$$

Ciò è proporzionale a $\frac{V_2}{V_1}$. Infine, si può valutare la $S_{V_{DD}}^{I_{out}}$: la sensibilità.

$$S_{V_{DD}}^{I_{out}} = \frac{\frac{\Delta I_{out}}{I_{out}}}{\frac{\Delta V_{DD}}{V_{DD}}} = \frac{V_{DD}}{I_{out}} \frac{\Delta I_{out}}{\Delta V_{DD}} \approx \frac{V_{DD}}{K I_{in}} \frac{g_{m2}}{R g_{m1}}, \quad K \text{ rapporto di aspetto}$$

$$M_2 \quad \frac{g_{m2}}{g_{m1}} \approx K \Rightarrow S_{V_{DD}}^{I_{out}} \approx \frac{V_{DD}}{K I_{in}} \frac{K}{R}.$$

Nedendo infine che

$$I_{in} = \frac{V_{DD} - V_{GS1}}{R} \Rightarrow S_{V_{DD}}^{I_{out}} \approx \frac{V_{DD}}{V_{DD} - V_{GS1}}$$

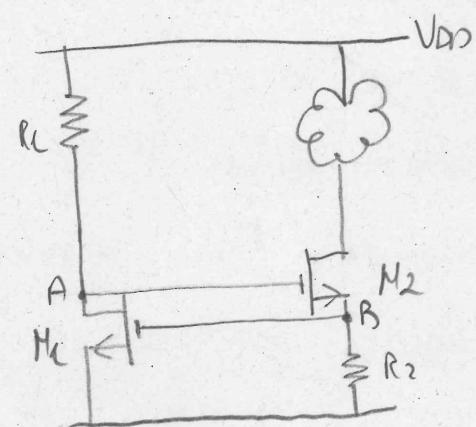
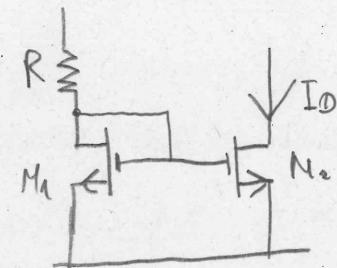
Se $V_{DD} \gg V_{GS1}$, la sensibilità è circa unitaria: una variazione di tensione si riproduce con fattore quasi unitario sulla variazione di corrente.

Moltre, a scacca di T , varia R : T varia del 30%, R varia e la variazione I_{out} del 30%.

La soluzione è retroazionare

La prima soluzione è la seguente:

Qua., se $V_{DD} = 0V$, tutto è spento; man mano che V_{DD} sale, si fa passare una certa corrente in M_2 ; quando su R_2 c'è una corrente alla distanza da far oltre V_{GS1} sopra la soglia, M_1 si accende.



All'inizio, non essendoci corrente e quindi mancando ceduta su R_2 , V_{DD} è al gate e ciò fa accendersi H_2 . (46)

Se si fa crescere "a rampa" la V_{DD} nel tempo, come la rampa supera V_{TH2} , H_2 conduce; quando V_{ASL} , per $t=t_2$ (dopo l'andamento quadratico) supera V_{TH1} , la reazione è accesa, e V_{GS2} si stabilizza V_{ASL} a un proprio valore, regolato dalla reazione.

A questo punto, se per qualche motivo la V_{DD} ha uno step ΔV_{DD} , la tensione su A sale, ma quindi, in virtù della reazione, anche quella su B. Quindi cresce la corrente su R_2 , quindi la caduta di tensione, e così la V_{ASL} si riduce e tutto torna a posto. Questo, se il guadagno di anello è sufficientemente elevato.

Ora:

$$I_{out} = \frac{V_{GS1}}{R_2} = \frac{l}{R_2} \left[V_{DD1} + V_{TH1} \right] = \frac{l}{R_2} \left[V_{TH1} + \frac{I_{in}}{B_n} \right]$$

[Gray-Hegar]

Farebbe conti, V_{SI} può dimostrare che:

$$S_{V_{DD}}^{I_{out}} = \frac{V_{GS1}}{2V_{ASL}} S_{V_{DD}}^{I_{in}} \quad \left[\text{se, worst case, } S_{V_{DD}}^{I_{in}} = l, \quad V_{DD1} = 100 \text{ mV}, \quad V_{ASL} = 0,8 \text{ V}, \quad C \rightarrow \frac{9}{16} \times 1 \approx \frac{1}{10} \text{ (o meno)} \right]$$

Ricorda: $S_x^y = \lim_{\Delta x \rightarrow 0} \frac{\frac{\Delta y}{\Delta x}}{\frac{\Delta x}{\Delta x}} = \frac{\partial y}{\partial x}$

$$S_x^y = \lim_{\Delta x \rightarrow 0} \frac{\frac{\Delta y}{\Delta x}}{\frac{\Delta x}{\Delta x}} = \frac{\partial y}{\partial x}$$

$$V_{ASL} = V_{TH1} + \Delta V_{DD1} = V_{TH1} + \sqrt{\frac{I_{in}}{B_n}}$$

Seconda soluzione (Widlar)

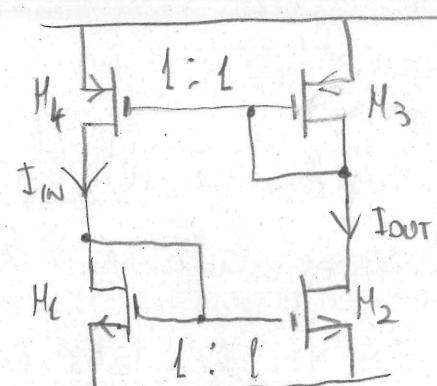
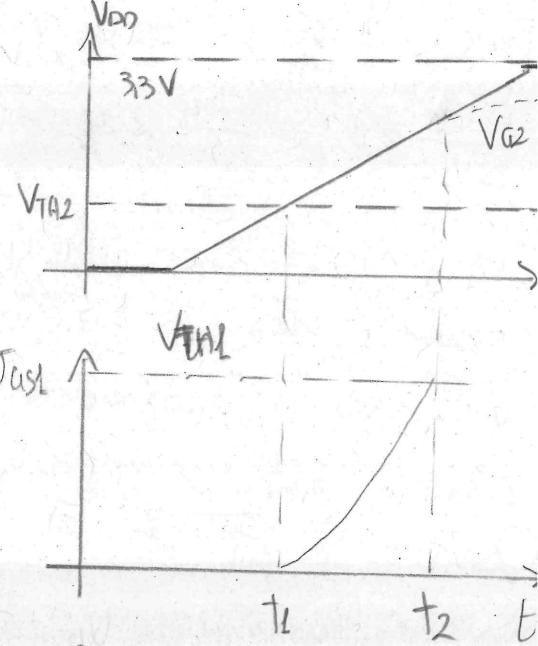
la seconda soluzione (retroazionata) è:

"leggere" la corrente di uscita con un altro specchio!

Supponendo che i transistori siano in saturazione,

quanto vale I_{out} ?

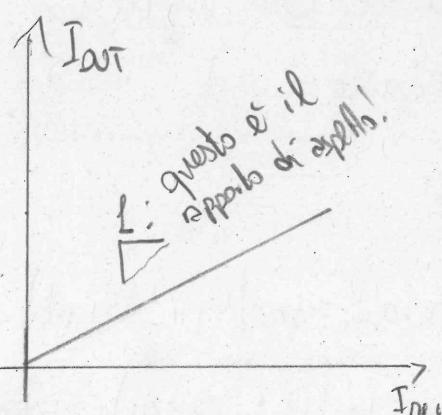
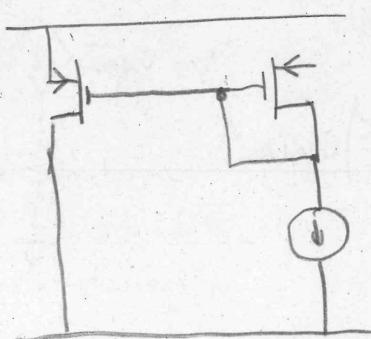
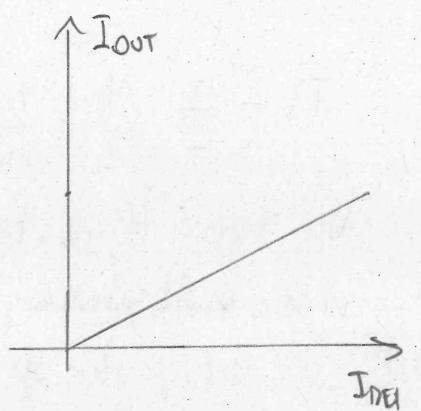
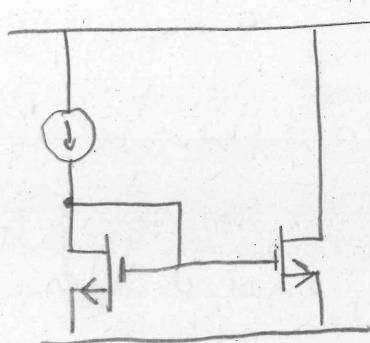
Ripetendo l'analisi di prima (V_{DD} a rampa), man mano che la rampa sale, il circuito NON si accende, a meno che non ci sia già una qualche corrente finita.



Per come è disegnato, questo circuito non si accende! Essendo M_3 a doppio, esso dovrebbe essere già acceso, deve già essere della corrente.

Anche se gli specchi venissero accesi, poi, la V_{DS} di M_1 potrebbe esser diversa dalla M_2 , idem M_3 e M_4 . Anche acceso il circuito, esso non portato a lavorare con la corrente desiderata. In altre parole, questo circuito ha ∞ punti di lavoro.

Per capire ciò, le caratteristiche di ciascuno dei 2 specchi sono:



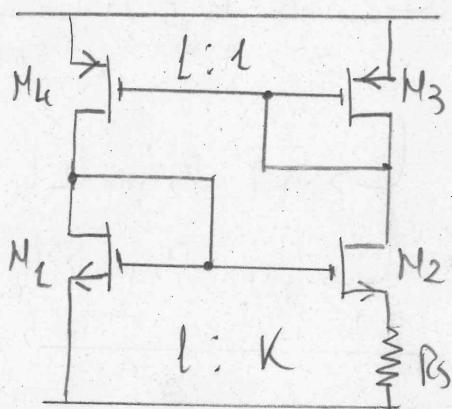
Le caratteristiche dei due specchi "presi singolarmente" sono identiche, quindi, se messe a sistema, han ∞ punti di intersezione e quindi il circuito ha ∞ punti di lavoro.

Questo ha un vantaggio, anche: è indipendente dalla V_{DD} .

La soluzione "definitiva" è la seguente:

si compone uno specchio "tradizionale" con uno specchio di tipo Widlar. Questi due hanno due diverse caratteristiche, come si vede.

Quale è la caratteristica del Widlar?

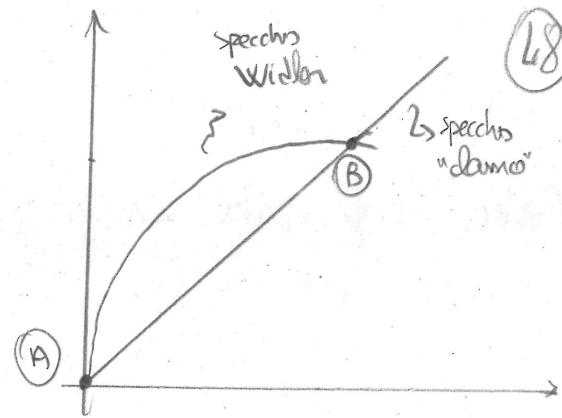
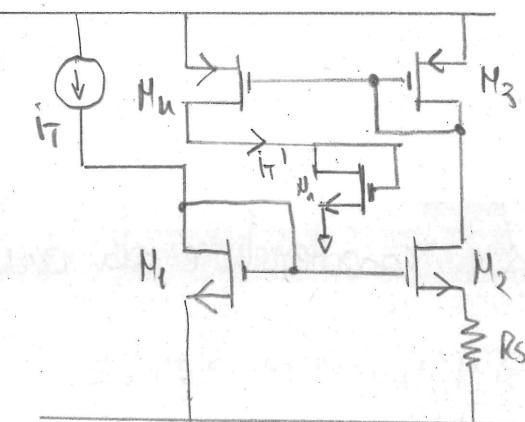


Per I_{REF} basse, $\frac{I_{out}}{I_{REF}} \approx K$ (la caduta su R_S è bassa); al crescere di I_{REF} , essendo $K > L$, si ha una pendenza più che unitaria! Dunque aumenta la caduta su R_S , poi, la caratteristica tende a saturare.

Il risultato è:

- 2 soli punti di lavoro! \textcircled{A} (tutto a 0),
 \textcircled{B} (punto di lavoro "senso").

Studiamo \textcircled{B} , e il circuito usando la teoria dei controlli.



18

Si apre l'anello e si ricostruiscono le condizioni di corico nel punto di rottura.

$$T = -\frac{i_T'}{I_T} \left[-\frac{r_{load}}{\text{involt}} \right]$$

Nel caso del punto \textcircled{A} , una variazione di I_T viene moltiplicata per k_T , e così il sistema

tende a "fuggire" da \textcircled{A} ; questo è un punto di lavoro instabile.

Per quanto concerne \textcircled{B} , vediamo cosa capita, con un modello di piccolo segnale:

si ha:

$$V_{Q2} = V_{Q1} - R_S I_{out}$$

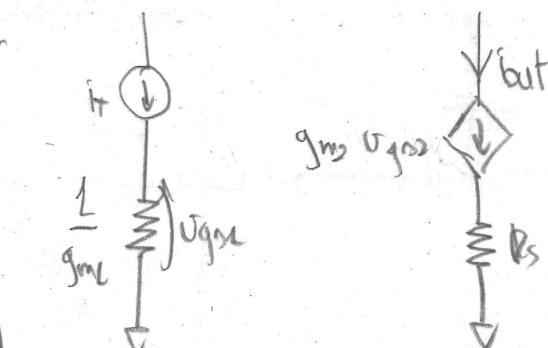
$$\hookrightarrow I_{out} = g_{m2} V_{Q2} \quad \Rightarrow I_{out} = g_{m2} (V_{Q1} - R_S I_{out})$$

$$\hookrightarrow I_{out} (1 + R_S g_{m2}) = g_{m2} V_{Q1} - g_{m2} \frac{I_T}{g_{m1}}$$

$$\hookrightarrow I_{out} = I_T = I_T \frac{g_{m2}}{g_{m1}} \frac{1}{1 + R_S g_{m2}}$$

\hookrightarrow per $R_S g_{m2} \ll 1$, $|I_T| \gg 1$ [questo è \textcircled{A}];

\hookrightarrow per $R_S g_{m2} \gg 1$, $|I_T| \approx \frac{1}{R_S g_{m2}}$ [$|I_T| \ll 1$]; questo è un punto di lavoro stabile.

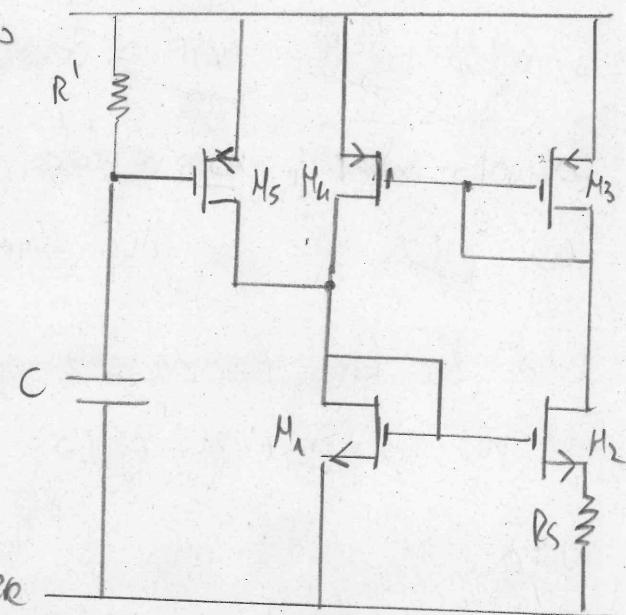


Purtroppo, in questo circuito, gli unici terminali a disposizione sono V_{DD} e GND; è necessario garantire che il circuito non si trovi in A. Poi, l'intensità della corrente viene stabilita dalle dimensioni dei transistori.

Per aumentare le probabilità che il circuito vea nello stato (B), è necessario aggiungere un sottocircuito che "spinga via" lo specchio da (A).

Questo circuito di start-up può essere per esempio questo; esso si accende all'accensione, poi si spegne.

Alimentando con la solita rampa V_{DD} , durante il transitorio si ha una certa d.t. tensione solo sulla resistenza; C è infatti scarica e si carica da zero. Su M_5 si ha quindi la V_{SG5} , tale da far condurre M_5 e quindi mettere corrente nell' schema. Alla fine del transitorio, C è carica, su R' non passa più nulla, e M_5 si spegne perché ha $V_{DS} = 0$ (tra V_{DD} e V_{DD}).



Progetto

A questo punto si ricavano le equazioni di progetto:

$$V_{SG1} = R_S I_{OUT} + V_{DS2} \Rightarrow \text{supponendo matching, ciò diventa}$$

$$V_{SG1} = V_{DD2} + R_S I_{OUT} \quad [\text{sostituendo}],$$

$$\frac{\frac{I_{REF}}{B_n \frac{W}{L}_1}}{= \sqrt{\frac{I_{OUT}}{B_n \frac{W}{L}_2}} + R_S I_{OUT}} \quad ; \quad \begin{aligned} &\text{supponendo } \frac{W_2}{W_1} = K, \text{ visto che} \\ &\text{lo specchio sopra è } l:1, \text{ si ha:} \end{aligned}$$

$$\Rightarrow \sqrt{\frac{I_{OUT}}{B_n \frac{W_1}{L_1}}} \left[1 - \frac{l}{\sqrt{K}} \right] = R_S I_{OUT} \quad [I_{OUT} = I_{REF}]$$

Da qui,

$$I_{OUT} = \frac{l}{B_n \frac{W_1}{L_1} R_S^2} \left[1 - \frac{l}{\sqrt{K}} \right]^2 \quad \left[\text{Qua} \underline{\text{non}} \text{ si ha dipendenza} \right. \\ \left. \text{da } V_{DD}! \text{ Purtroppo, della} \text{ temperatura sì. } [R_S, B_n] \right]$$

Alcune note; sono state fatte delle ipotesi:

- $V_{TH1} = V_{TH2}$ (matching, ma non solo)
- nMOS isolati: avere a disposizione i terminali ISO.

Questo schema non va bene, perché nei nMOS non si ha il bulk a disposizione; nei pMOS, sì. Si deve usare lo schema duale:

Ora che la resistenza è ai pMOS questo si può realizzare in epitassia.

Nota: in realtà non si ha dipendenza da V_{DD} , ma solo a patto di buttare via la dipendenza della modulazione di canale. In realtà, se r_o cambiona, cambia quindi con esse anche I_{out} .

Si provi, sullo specchio prima, a calcolare I_{out}/V_{DD} :

$$I_X = \frac{V_{DD} - U_X}{r_{O4}} + g_{m4} U_{GS4} = \frac{V_{DD} - U_X}{r_{O4}} + \frac{I_{out}}{g_{m3}} g_{m4}$$

ma:

$$I_{out} = I_X \frac{L}{g_{m1}} G_{m2} \quad \left[\text{dove } G_{m2} \text{ è la transconduttanza dello stadio degenerato di source} \right]$$

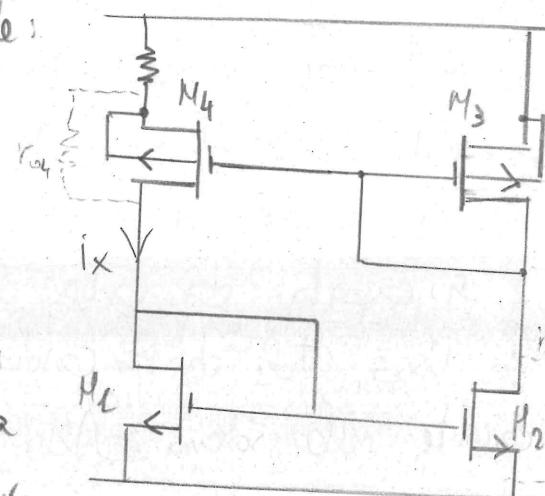
$$\Rightarrow I_X = I_{out} \frac{g_{m1}}{G_{m2}}$$

$$\Rightarrow \frac{V_{DD} - U_X}{r_{O4}} = \frac{V_{DD}}{r_{O4}} - \frac{U_X}{r_{O4}} \quad \left\{ \begin{array}{l} U_X = U_{GS1} \text{ (osservando il circuito)} \\ \end{array} \right.$$

$$U_{GS1} = \frac{I_X}{q_{m1} r_{O4}}$$

$$\left[\begin{array}{l} I_X = \frac{V_{DD}}{r_{O4}} - \frac{I_X}{q_{m1} r_{O4}} + I_{out} \\ \text{supponendo } q_{m3} = q_{m1}, \text{ essendo } K=1 \\ \text{sopra} \end{array} \right]$$

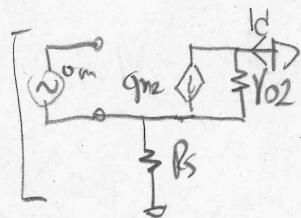
$$\left[\begin{array}{l} I_X \left[1 + \frac{1}{q_{m1} r_{O4}} \right] = I_{out} + \frac{V_{DD}}{r_{O4}} \\ I_{out} \left[\frac{q_{m1}}{G_{m2}} \left(1 + \frac{1}{q_{m1} r_{O4}} \right) - 1 \right] = \frac{V_{DD}}{r_{O4}} \end{array} \right]$$



Da qui,

$$\frac{i_{out}}{V_{DD}} = \frac{1}{r_{in}} \frac{1}{\frac{g_{m2}}{G_{m2}} \left[1 + \frac{1}{g_m r_{in}} \right]^{-1}}$$

dove si ricorda della teoria precedente.



$$\frac{I_C}{V_{DD}} = G_{m2}$$

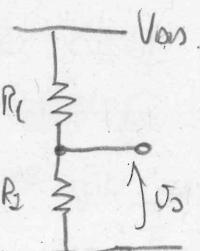
$$G_{m2} = \frac{g_{m2} r_{in}}{R_B + [1 + g_{m2} R_B] r_{in}} \quad | \text{ mani polarde,}$$

$$\hookrightarrow \frac{i_{out}}{V_{DD}} = \frac{1}{r_{in} (R_B g_m - 1)}$$

r_{in} deve esser grossa per ridurre ciò;
Mu deve dunque esser lungo

Riferimenti di tensione

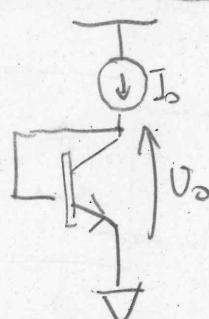
La prima idea per realizzare un riferimento di tensione potrebbe essere un partitore resistivo. Questo però mantiene costante non il livello di tensione, bensì il rapporto di partizione.



Idea migliore può essere la seguente:

Se si dispone di un generatore di corrente e la si manda in un BJT a diodo, sappiamo che:

$$I_D = I_S e^{\frac{V_{BE}}{nV_T}} \rightarrow V_{BE} = nV_T \ln \left(\frac{I_D}{I_S} \right)$$

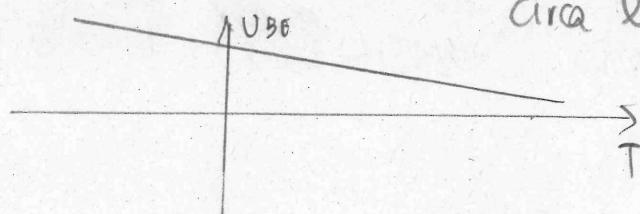


Questo mantiene V_{BE} circa costante, ma si ha dipendenza di V_T e I_S da T.

In pratica,

$$\frac{dV_{BE}}{dT} \approx -2.2 \text{ mV/}^\circ\text{C}$$

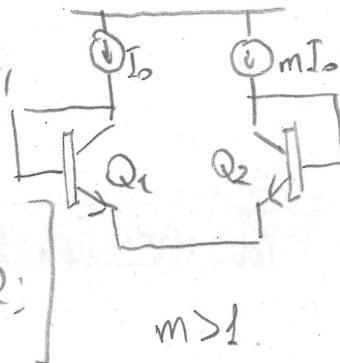
Nel nostro caso, $T \in [-20 \div +150]^\circ\text{C}$, l'andamento è circa lineare.



L'idea di partenza c'è; si provi ora, per andare avanti, a fare ciò:

qui, $V_{BE1} = \eta V_T \ln\left(\frac{I_B}{I_{S1}}\right)$
 $V_{BE2} = \eta V_T \ln\left(\frac{m I_B}{I_{S2}}\right)$

[Si dala ora
la differenza delle 2:]



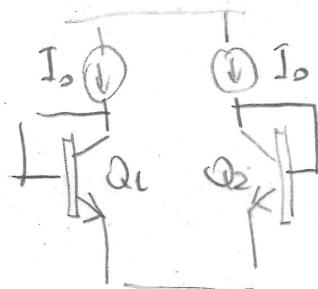
$m > 1$

$\hookrightarrow V_{BE2} - V_{BE1} = \eta V_T \ln\left(\frac{m I_B}{I_{S2}} \frac{I_{S1}}{I_B}\right) = \eta V_T \ln\left(\frac{m I_{S1}}{I_{S2}}\right)$

Qua i due generatori sono diversi, i transistori uguali; se $I_{S1} = I_{S2}$,

$\hookrightarrow V_{BE2} - V_{BE1} \approx \eta V_T \ln(m)$. Qui, $V_{BE2} - V_{BE1} > 0$ (1) K_T

Circuito simile è questo:



dove Q_2 è costituito da m transistori uguali a Q_1 in parallelo. Ora,

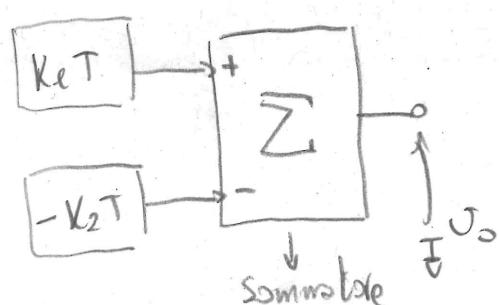
$I_{S2} = m I_{S1}$

$\hookrightarrow V_{BE1} - V_{BE2} = \eta V_T \ln\left(\frac{I_B}{I_{S1}} \frac{I_{S2}}{I_B}\right) = \eta V_T \ln(m)$. (2) -K_T

In questo caso $V_{BE2} < V_{BE1}$; qui, la deriva è negativa.

L'idea alla base dei circuiti che verranno presentati è: date le tensioni con una dipendenza positiva (1) o negativa (2) della temperatura, se ne fa una

combinazione lineare:



dove
 $V_o = 2 [K_1 T - K_2 T] + V_o'$.

Se la combinazione lineare è "ben fatta", si arriverà una deriva nulla risultante.

Questa "compensazione" è alla base degli schemi fedeli.

Bandgap di Kuijk

Lo schema del circuito è il seguente:

Ci sono 2 anelli di retroazione (tratteggiati). Se il guadagno della controreazione è elevato, dunque A_d ,

$$V_d \approx 0$$

Per l'equazione della maglia con $V_d \approx 0$,

$$V_{B2L} - V_{B2R} = R_2 I_2 \Rightarrow \eta V_T \ln \left(\frac{I_1}{I_{S1}} \frac{I_{S2}}{I_2} \right) = R_2 I_2$$

Ora, suppongo che " $Q_2 = m Q_1$ " (m Q_1 in parallelo), matchati:

$$\hookrightarrow R_2 I_2 = \eta V_T \ln(m)$$

[$I_1 = I_2$ essendo le resistenze di polarizzazione uguali e grazie all'operazionale]

Si ignori la deriva di R_2 ; I_2 cresce con la temperatura, essendo $\eta V_T \ln(m) > 0$, quindi,

$$V_o = V_{B2L} + R_2 \frac{\eta V_T}{R_2} \ln(m)$$

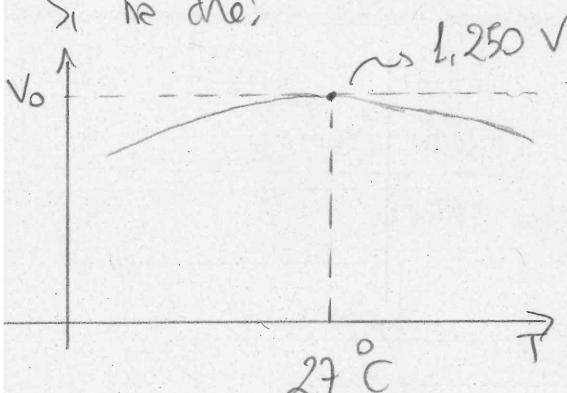
$$V_T = \frac{k_B T}{q} \rightarrow \frac{dV_T}{dT} = \frac{k_B}{q}$$

Quindi,

$$\frac{dV_o}{dT} = \frac{dV_{B2L}}{dT} + \frac{R_1}{R_2} \frac{k_B}{q} \ln(m) = 0 \rightarrow \frac{k_B}{q} \ln(m) \frac{R_1}{R_2} = - \frac{dV_{B2L}}{dT}$$

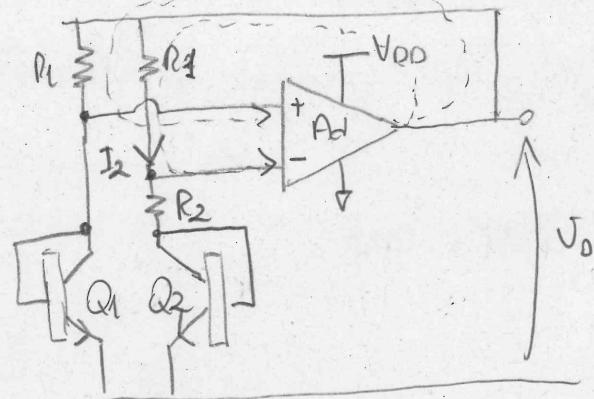
R_1 e R_2 sono i parametri di progetto!

Si ha che:



Il nome "band-gap" deriva dal fatto che V_o è la tensione $E_C - E_V$ nel silicio. Il circuito funziona per un range elevato di temperature.

Il massimo è intorno ai $27^\circ C$, ma comunque è abbastanza costante.

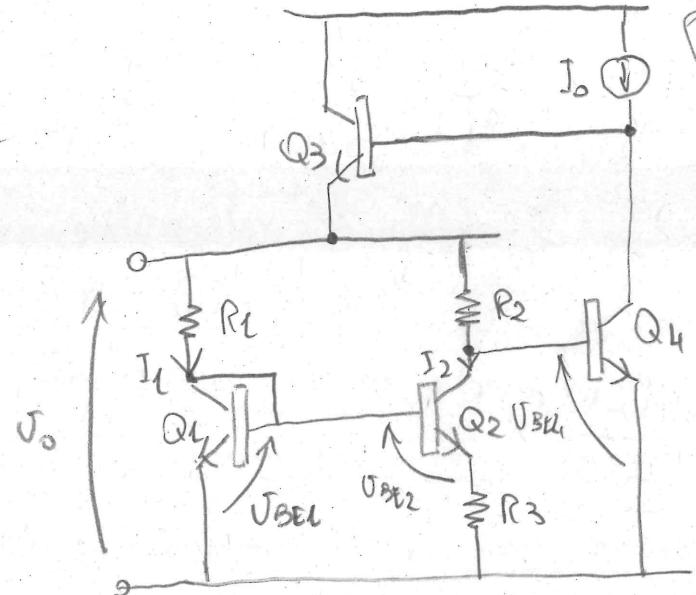


Bandgap di Wirdar

Il circuito "bandgap di Widlar" è il seguente:

In questi casi,

$$Q_1 \equiv Q_2$$



Qui,

$$U_{BE1} - U_{BE2} = \eta V_T \ln \left(\frac{I_2}{I_{S1}} \frac{I_{S2}}{I_2} \right) = R_3 I_2$$

Se il circuito è ben progettato, se dunque $V_{BD} = V_{BE}$,

$$\hookrightarrow I_1 = \frac{V_D - V_{BE1}}{R_1} \quad | \quad I_2 = \frac{V_D - V_{BE4}}{R_2} \quad | \quad = V_{BEL}$$

$$\hookrightarrow \boxed{\frac{I_1}{I_2} = \frac{R_2}{R_1}}$$

Quindi, $V_D = V_{BE4} + R_2 I_2 = V_{BE4} + \frac{V_T \ln(\frac{R_1}{R_1})}{R_3}$

Questa esplosione è simile alla precedente

Realizzazione a CMOS di termometri

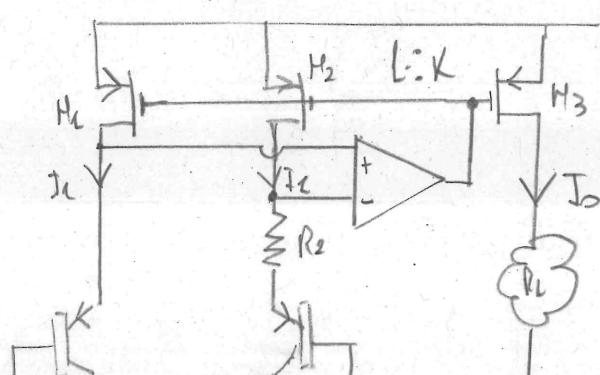
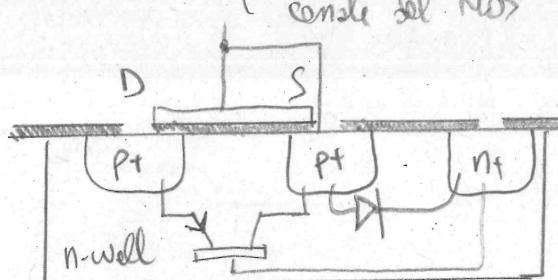
Noi stiamo usando BJT a doppio, ma i processi non danno a disposizione BJT. L'idea è usare passeibili: dati pMOS in n-well, si ottengono "gates" dei BJT passeibili! (PPB: l'emettibile è quello al drain!) (potenziale più elevato).

Qui,

$$I_D = K I_L$$

$$I_1 = \frac{k_B T}{q} \frac{\ln(m)}{P_2}$$

H_e e H_2 hanno la stessa V_{DS} ,
quindi $I_L = I_2$.



Si usano i transistori M_1 e M_2 come generatori di corrente; saremo essi, or. nell'anello di reazione. Quando $\alpha_d \approx 0$, la retroazione "trava pace". In questo caso, la corrente di usata è proporzionale alla temperatura: c'è dipendenza lineare da T . Questo è un termometro.

$$Q_2 = m Q_1$$

Basse tensioni di alimentazione

Nei processi moderni, come il 90 nm, le tensioni di alimentazione sono $\leq 1,2 \text{ V}$. Questo alle, d'altra parte, non funzionano sotto $V_{DD} \approx 1,8 \text{ V}$.

Una cella che può essere usata con V_{DD} basse è questa:

$$I_1 = \frac{V_{BE1}}{R_0} i \quad | I = I_1 + I_2$$

dato che $V_D \approx 0$, (I ha 2 contributi)

$$R_2 I_2 = V_{BE1} - V_{BE2}$$

$$\hookrightarrow I_2 = \frac{l}{R_2} \frac{k_B T}{q} \ln(m) i \quad [\text{suppongo } Q_2 = m Q_1] \quad \text{CTAT: Complementary To Ambient Temperature: la } R_0 \text{ introduce un contributo che "controlla" il contributo della temperatura!}$$

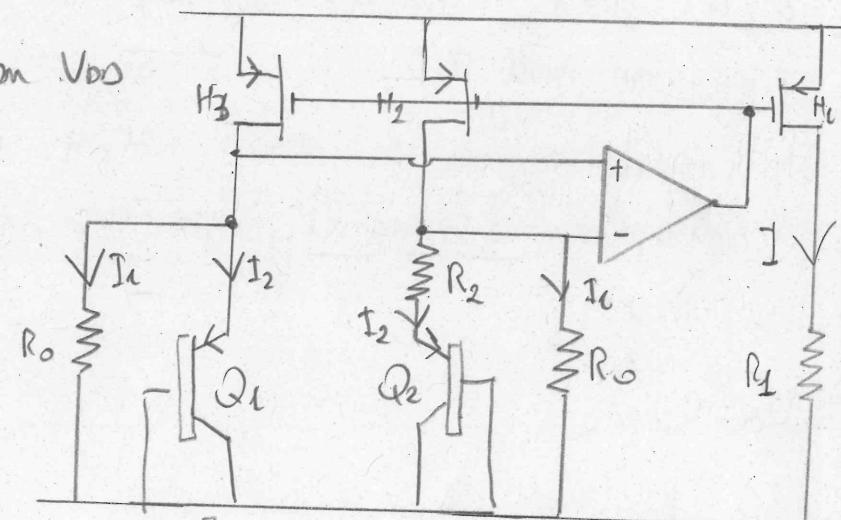
Quindi,

$$I = \underbrace{\frac{V_{BE1}}{R_0}}_{L \oplus} + \underbrace{\frac{l}{R_2} \frac{k_B T}{q} \ln(m)}_{> 0} i \quad \Rightarrow V_D = R_1 I =$$

$$= \frac{R_1}{R_0} V_{BE1} + \frac{R_1}{R_2} \frac{k_B}{q} T \ln(m)$$

Ciò può creare tensioni di riferimento di qualche centinaio di mV.

Tensione di usata bassa, implica necessità di poco più per V_{DD} .



Amplificatori ad alto guadagno

Finora gli amplificatori visti sono stati i single-ended. Si immagini però di dover usare interconnessioni lunghe, affette magari da crosstalk; i palessiti potrebbero attivarsi.

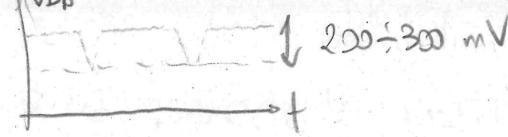
Se oppure si è vicini a una pompa di carica, potrebbero esserci picchi di assorbimento anche a

Un generico circuito integrato con il package

può essere così modellato.

Essendo lo a "picchi", $\frac{di_o}{dt}$ è debole, e dunque:

$$V_{DD'} = V_{DD} - 2L_{\text{package}} \frac{di_o}{dt}$$



E ciò provoca "rimbalzi di alimentazione". Questi si possono per esempio ripercuotere sullo V_o .

Tutti questi problemi si possono risolvere nella stessa maniera: usando degli amplificatori differenziali. Segue uno schema di base:

$$V_o = V_{o1} - V_{o2}$$

Se i transistori sono in saturazione,

$$V_{o1} = -g_{m1} R_{o1} V_L \quad | \quad V_{o2} = +g_{m2} R_{o2} V_L \quad ; \quad \text{se } g_{m1} = g_{m2}, \quad J_1 = \frac{V_i}{2}, \quad V_2 = -\frac{V_i}{2}$$

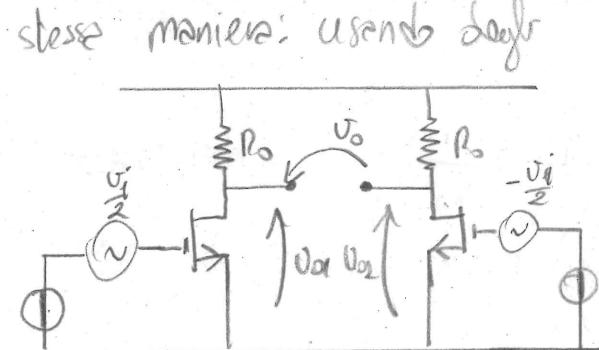
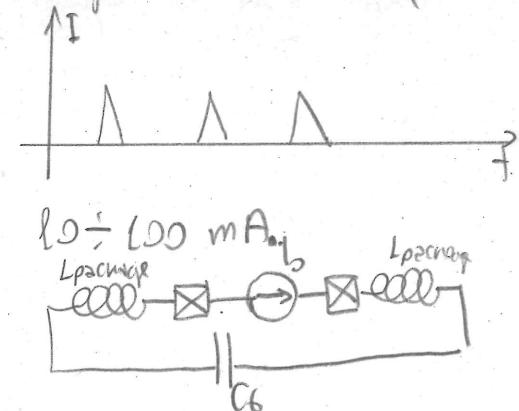
$$R_{o1} = R_{o2} = R_o$$

$$\hookrightarrow \frac{V_o}{V_i} = -g_m R_o$$

Il guadagno è quello di un source comune single-ended, ma questo in più rigetta i disturbi dovuti alle fluttuazioni di V_{DD} : ambo i transistori lo subiscono!

Se inoltre gli ingressi fossero disturbati dallo stesso disturbo, lo usato non sarebbe da esso influenzato.

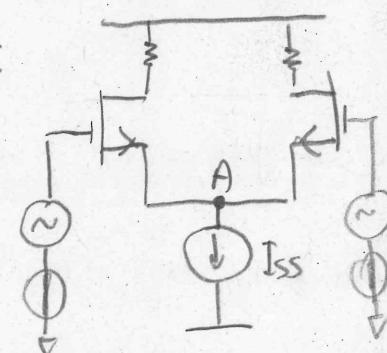
Ciò, però, redoppia l'area del circuito.



L'idea è ottenere un circuito simmetrico, la cui unica asimmetria sia proprio nei generatori di ingresso differenziali; una asimmetria piccola.

Una nota: è vero che l'uscita non dipende dalla tensione di ingresso di modo comune, ma solo fintanto che i transistori sono in saturazione. Per definire ciò, si usa un circuito polarizzato in corrente:

Si svincola il punto di lavoro della tensione di modo comune di ingresso, in modo tale da permettere di definire bene il punto di lavoro "a prescindere" dal modo comune.



Se si spedisce a questo punto i generatori di segnale, il circuito sarebbe simmetrico. M₁ e M₂ sono uguali, i drain allo stesso potenziale, e quindi le transconattensitiche sono uguali, i drain sono non in corto, ma equipotenziali.

Variazioni del modo comune si ripercuotono su A ma, essendo A collegato a un generatore (per ora) ideale, la corrente nei punti è costante: non cambia dunque manco la corrente di drain!

Variazioni della tensione di modo comune di ingresso non variano quello di uscita.

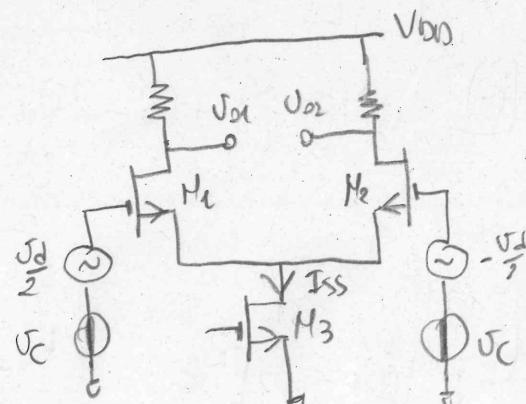
Si introduca ora un generatore reale:

per questo circuito, M₁, M₂ e M₃ devono essere in saturazione: questa è la condizione di funzionamento.

Per $V_d = 0$, $V_c > 0$, la tensione di uscita è:

$$V_{O1} = V_{O2} = V_{DD} - R_o \frac{I_{SS}}{2} \quad [\text{perché } V_{GS1} = V_{GS2} = V_{GS}]$$

Quindi, $V_O = V_{O1} - V_{O2} = 0$.



Il tutto dovrà stare simmetrico, permette di eliminare la dipendenza dell'ingresso di modo comune.

Si consideri ora il modo differenziale: $V_d \neq 0$.

$$V_{O1} = V_{DD} - R_o i_{D1}, \quad \text{ma} \quad i_{D1} = f(V_{GS})$$

Si consideri l'equazione della maglia:

$$V_d + \frac{V_d}{2} - V_{GSL} + V_{GS2} + \frac{V_d}{2} - V_d = 0$$

$$\Leftrightarrow V_{GSL} - V_{GS2} = V_d \quad [\text{p.e., considerando tutto matchato}]$$

$$\hookrightarrow V_{od1} - V_{od2} = V_d \Rightarrow \sqrt{\frac{i_{d1}}{\beta_n \frac{W}{L}}} - \sqrt{\frac{i_{d2}}{\beta_n \frac{W}{L}}} = V_d \quad [\text{o.p., considero } H_1 \in M_2 \text{ e tensioni identiche}]$$

$$\hookrightarrow \sqrt{i_{d1}} - \sqrt{i_{d2}} = V_d \sqrt{\beta_n \frac{W}{L}}$$

Ora si ricordi per l'equazione del nodi A, che:

$$i_{d1} + i_{d2} = I_{ss}$$

\hookrightarrow devo tutto a quadrati:

$$i_{d1} + i_{d2} - 2\sqrt{i_{d1} i_{d2}} = i_{d1} + I_{ss} - i_{d1} - 2\sqrt{i_{d1} i_{d2}} = V_d^2 \beta_n \frac{W}{L}$$

$$\text{devo di nuovo a quadrato; inoltre osservo che } 4i_{d1} i_{d2} = (i_{d1} + i_{d2})^2 - (i_{d1} - i_{d2})^2 = I_{ss}^2 - (i_{d1} - i_{d2})^2; \text{ si ha (dopo aver ordinato come segue);}$$

$$V_d^2 \beta_n \frac{W}{L} - I_{ss} = -2\sqrt{i_{d1} i_{d2}}$$

$$\hookrightarrow V_d^4 \left(\beta_n \frac{W}{L}\right)^2 + I_{ss}^2 - 2V_d^2 \beta_n \frac{W}{L} I_{ss} = +4i_{d1} i_{d2}$$

$$= I_{ss}^2 - (i_{d1} - i_{d2})^2$$

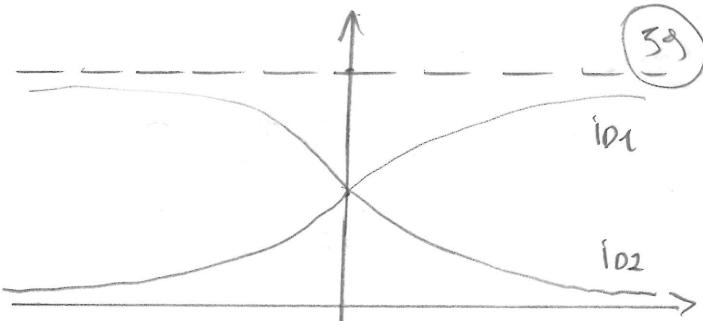
$$\hookrightarrow (i_{d1} - i_{d2})^2 = -V_d^4 \left(\beta_n \frac{W}{L}\right)^2 + 2V_d^2 \beta_n \frac{W}{L} I_{ss} = V_d^2 \left(\beta_n \frac{W}{L}\right)^2 \left(-V_d^2 + \frac{2I_{ss}}{\beta_n \frac{W}{L}}\right)$$

Da cui:

$$i_{d1} - i_{d2} = V_d \beta_n \frac{W}{L} \sqrt{\frac{2I_{ss}}{\beta_n \frac{W}{L}}} - V_d^2 \quad \left[\text{infine essendo } i_{d2} = I_{ss} - i_{d1} \right]$$

$$\text{Cioè } i_{d1,2} = \frac{I_{ss}}{2} \pm \left[V_d \beta_n \frac{W}{L} \sqrt{\frac{2I_{ss}}{\beta_n \frac{W}{L}}} - V_d^2 \right]$$

Queste si possono disegnare come segue:
 questo è vero a patto che i transistori
 siano in saturazione.



38

A questo punto, si studia la

dinamica: il limite inferiore della tensione differenziale inseribile è quello per cui tutta la corrente va nel transistore N_2 ; questo vuol dire che si ha una V_{od} tale per cui:

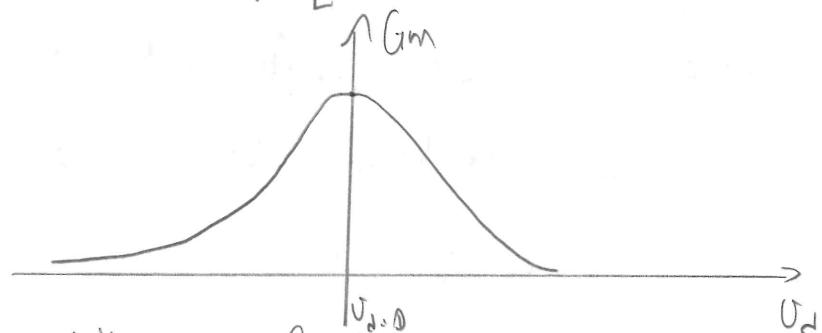
$$V_{od} = \sqrt{\frac{I_{ss}}{\beta_n \frac{W}{L}}}$$

Ottiene, usare la formula opposta ricavata con $Io_1 = 0$ o $Io_2 = I_{ss}$. Questo, per trovare la V_d .

Lo studio differenziale è un transconduttore differenziale: l'usata è la differenza delle correnti. Si può calcolare una transconduttanza come:

$$G_m = \frac{\partial i_o}{\partial V_d} \quad \{ \quad i_o = i_{o1} - i_{o2} = \beta_n \frac{W}{L} V_d \sqrt{\frac{2 I_{ss}}{\beta_n \frac{W}{L}}} - V_d^2$$

$$\hookrightarrow G_m = \frac{2 I_{ss} - 2 \beta_n \frac{W}{L} V_d^2}{\sqrt{\frac{2 I_{ss}}{\beta_n \frac{W}{L}} - V_d^2}}$$



Si noti che, per $V_d = 0$, la transconduttanza è la transconduttanza del singolo transistor della coppia, in cui vi è $\frac{I_{ss}}{2}$. Questa è anche la massima transconduttanza.

Questa è una relazione di ampio segnale, per transistori in saturazione. Per abbiamone conferma la dimostrazione. Se si applicano due tensioni uguali V_C , e a queste si sovrappona una differenziale di piccolo segnale, la G_m sarà massima, perché la tensione differenziale in continuo è nulla. V_d è un alternato.

G_m è la transconduttanza di variazione della tensione differenziale di piccola ampiezza. Allora, si ha l'interesse che G_m sia massima.

Quindi, si sviluppi il modello di piccolo segnale per $V_d \approx 0$:

$$G_m(0) \hat{=} g_m = \sqrt{\frac{2I_{SS} - \alpha R}{\frac{2I_{SS}}{B_n \frac{w}{L}} - \alpha}} = \sqrt{2 B_n \frac{w}{L} I_{SS}}$$

Il guadagno di questo stadio è:

$$V_o = G_m(0) R_o = g_m R_o$$

Passando al modello di piccolo segnale:

$$V_{gse} - V_{gs2} = V_d$$

ma, per l'equazione del nodo A,

$$g_{m1} V_{gse} + g_{m2} V_{gs2} = 0 \quad [\text{dove } g_{m1} = g_{m2} = g_m]$$

$$\hookrightarrow V_{gse} = -V_{gs2}$$

Risultato: $V_{gM} = \frac{V_d}{2}$; $V_{gs2} = -\frac{V_d}{2}$: è come se il nodo A fosse a massa: massa virtuale.

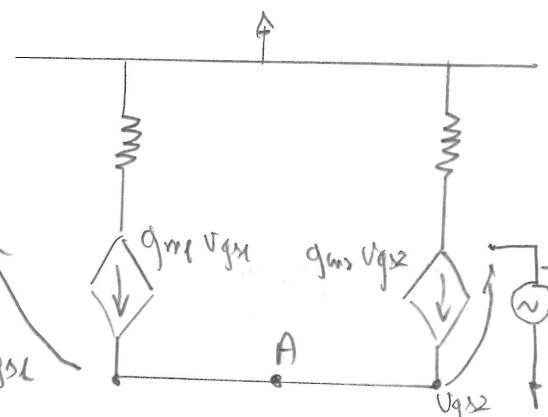
In altre parole, con questi conti, si è appena visto che A non è pilastro della tensione di ingresso differenziale.

Ora, si studino le uscite:

$$V_{o1} = -g_m R_o \frac{V_d}{2}; \quad V_{o2} = g_m R_o \frac{V_d}{2}; \quad \text{quindi:}$$

$$A_{d1} = \frac{V_{o1}}{V_d} = -g_m \frac{R_o}{2}; \quad A_{d2} = g_m \frac{R_o}{2}; \quad A_d = \frac{V_o}{V_d} = \frac{V_{o1} - V_{o2}}{V_d} = -g_m R_o.$$

A questo punto si può proseguire con lo studio degli altri parametri.



Dinamica di uscita di modo differenziale

Dato il segnale arcto, simmetrico:

Di sicuro, il limite superiore è V_{DS1} :
non c'è nulla che limiti il punto "superiore" di dinamica.

Il limite inferiore dipende dalla tensione di reti

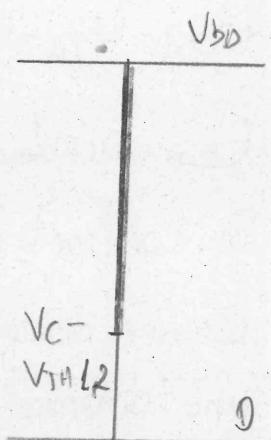
A. H_1 e H_2 dovono essere in saturazione

$$V_{DS1} \geq V_{DOL} \quad [\text{saturazione per } H_1]$$

$$\hookrightarrow V_{DI} - V_{SI} \geq V_{DOL} \quad ; \quad V_{DI} = V_{DOL} ; \quad V_{SI} = V_C + \frac{V_d}{2} - V_{GSI}$$

$$\hookrightarrow V_{DI} \geq V_{DOL} + V_C + \frac{V_d}{2} - V_{GSI} = \boxed{V_C + \frac{V_d}{2} - V_{TH1}}$$

dove però da soli $V_d \ll V_C$



La stessa cosa vale per il transistore 2

$$V_C - V_{TH2} \leq V_{DOL,2} \leq V_{DD}$$

Vedendo massimizzare la dinamica, si sceglie:

$$\bar{V}_{DOL} = \bar{V}_{DOL} = V_{DD} - R_D \frac{I_{SS}}{2} = \frac{V_{DD} + V_C - V_{TH}}{2}$$

Questo significa che il punto di lavoro ottimo (e la dinamica) dipendono dalla tensione di ingresso di modo comune.

Dinamica di ingresso di modo comune

Si supponga che in ingresso non vi sia del segnale differenziale. Quindi il massimo e minimo valore assumibile dell'ingresso V_C ?

I transistori dovono essere in saturazione (H_1, H_2, H_3): se ciò è verificato,

$$V_{DOL} = V_{DOL} = V_{DD} - R_D \frac{I_{SS}}{2}$$

Inoltre,

$$V_A = V_C - V_{GSI}$$

Il problema è N_3 : $V_{DS3} = V_A$, e V_{DS3} deve essere maggiore di V_{DD3} per stare in saturazione.

$$V_{DS3} = V_A = V_C - V_{GS1} > V_{DD3}$$

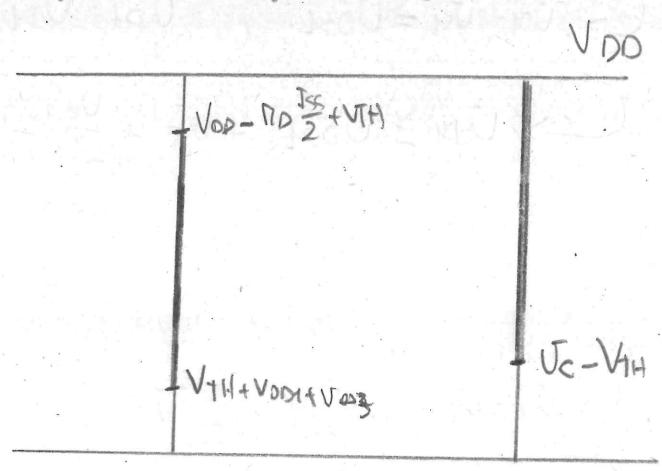
$$\hookrightarrow V_C > V_{THL} + V_{DD3} + V_{DS3}$$

Per quanto riguarda il limite superiore, i nodi dei drain di M_1 e M_2 sono a tensione costante sino a quando i transistori non vanno in triodo.

$$V_{DSL} = V_{D1} - V_{S1} = V_D - V_A = V_{DD} - R_D \frac{I_{SS}}{2} - (V_{CN} - V_{GS1}) \geq V_{DS2}$$

$$\hookrightarrow V_{CNL} \quad V_{DD} - \frac{R_D I_{SS}}{2} + V_{THL}$$

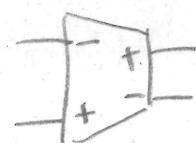
Si confrontino le dinamiche di modo comune (di ingresso) e differenziale (di uscita):
una dinamica interferisce sull'altra.



L'obiettivo del progettista è quello di massimizzare le dinamiche, oltre a soddisfare le specifiche.

Amplificatore completamente differenziale (Fully-differential)

Si passa ad al progetto di uno stadio con ingressi e uscite differenziali.



Uno stadio di questo tipo ha il problema

dell'interferenza tra dinamica di ingresso di modo comune e di uscita di modo differenziale. Gli obiettivi di progetto sono:

- Ad alto slew rate
- Massima dinamica di uscita
- Massima dinamica di ingresso di modo comune
- Buona reiezione del modo comune.

Per il guadagno, si recuperano le tecniche applicate al source comune, l'uso di un canale attivo. Un circuito

Completo più esatto:

Tutti gli specchi han rapporto 1:1

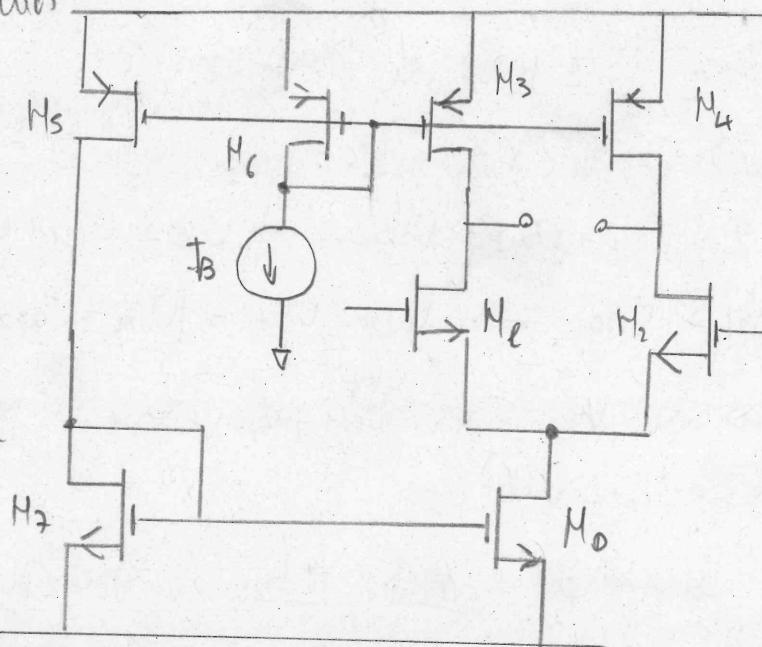
tranne quello M_2, M_0 , che ha:

$$M_0 = 2 M_2$$

M_3 e M_4 a riposo devono dare $\frac{I_{SS}}{2}$:

I_B genera il riferimento che poi viene specchiato.

Qua, il guadagno è (con matching van)



$$A_d = -g_m (R_{O1} + R_{O3}) \quad [\text{si arriva a } 40\text{--}50 \text{ dB di guadagno}]$$

Si può far di meglio; quanto ride, però, qui, la dinamica di usata?

Il limite inferiore non cambia; sopra invece si ha il canale attivo, che deve essere in saturazione; V_O deve esser tale per cui $V_{DS3} \geq V_{DS3}$

$$\hookrightarrow V_O \leq V_{DD} - V_{DS3}$$

Per la dinamica di ingrosso di modo comune, invece, si ha:

$$V_{GS1} + V_{DS1} \leq V_{DS1} + V_{TH} \quad [\text{ma se lo } V_{Omax} \text{ è } V_{DD} - V_{DS3}!]$$

Le due dinamiche sono ridotte.

Highfonia: stadio differenziale cascode:

con questo, si raggiungono anche 100 dB.

Dinamica di usata; limite inferiore:

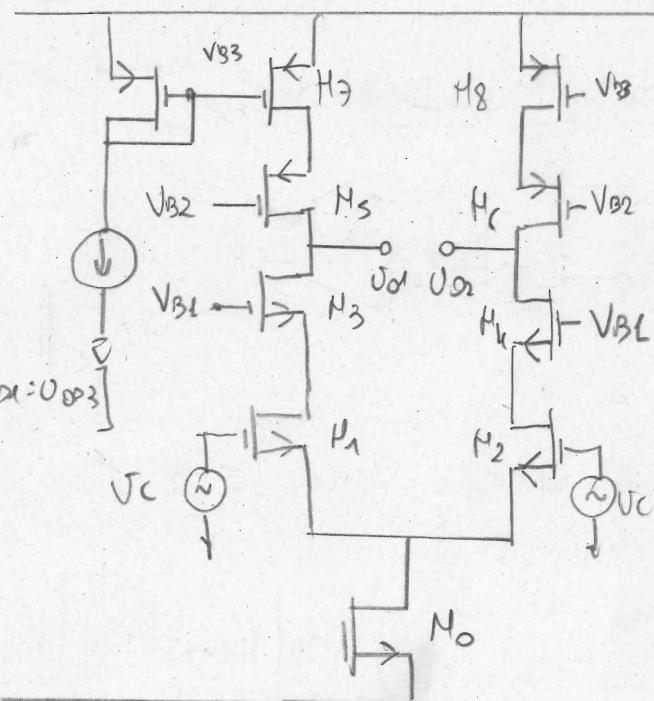
$$V_{DS3} = V_{O1} - (V_{BL} - V_{GS1}) \geq V_{DS3} \quad [\text{impongo } V_{Omin} = V_{DS3}]$$

$$\hookrightarrow V_{O1} \geq V_{BL} - V_{THB}$$

Per il superiore:

$$V_{DS5} \geq V_{DS3} \Rightarrow V_{DS5} \cdot V_{BL} - V_{SG5} - V_{O1} \geq V_{DS3}$$

$$\hookrightarrow V_{O1} \leq V_{BL} + V_{TH}$$



64

Le Vbi sono collegate al modo comune, quindi essi contribuiscono, seppur in maniera non evidente, alla dinamica

Dinamica d' ingresso di mob comune

$$U_{DS\phi} > U_{DD\phi} \quad (U_{DS\phi} = U_C - U_{GSL})$$

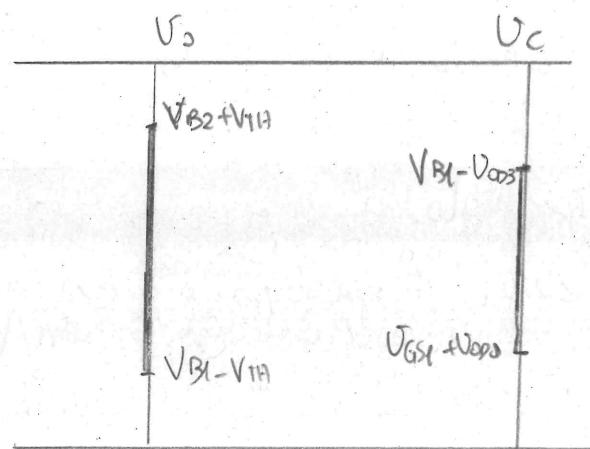
$$\hookrightarrow U_C - U_{GSE} > U_{DD\oplus}. \rightarrow U_C \geq U_{GSE} + U_{DD\oplus}$$

$$V_{DS1} > V_{OD1} \Rightarrow V_{DI} - V_{S1} = (V_{BX} - V_{GS3}) - (V_{CN} - V_{GS1}) > V_{ODL}$$

$$U_{BL} - V_{TH} - U_{DD3} - U_{CM} + V_{TA} + U_{DOL} > U_{BY}$$

C > $V_{CM} L V_{BA} - V_{DD3}$

La dinamica è molto ribalta: qualche
contrario di mV. Questo, a meno che
la tensione di ingresso di mob come una
piccola e fissa: ciò non ha senso.

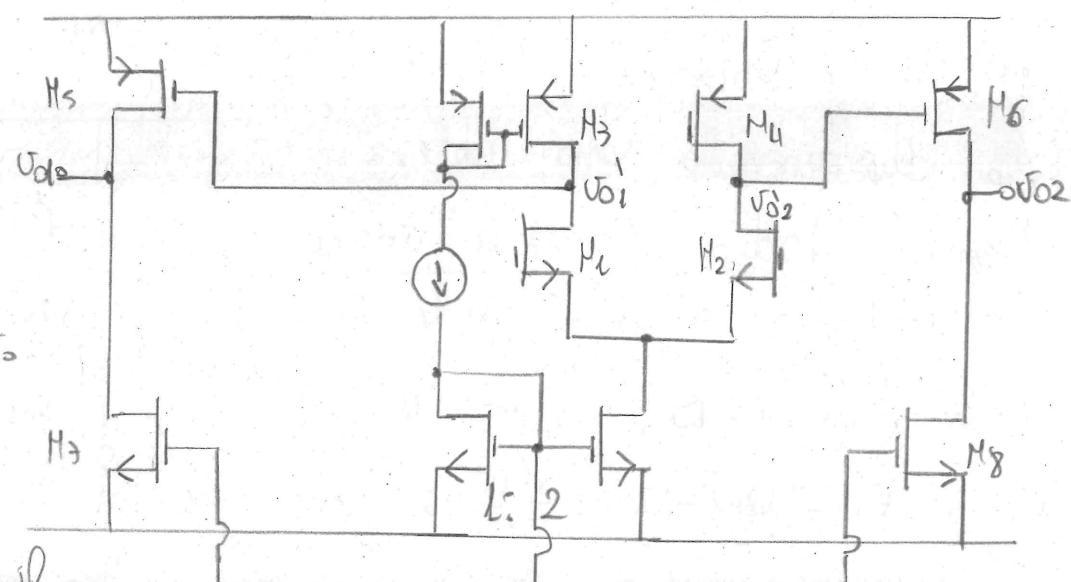


Cascata di stadi elementari

Il primo tentativo è fallito. Dato uno stadio differenziale "elementare" (non casuale), se ne vuole ora mettere un certo numero in cascata, in maniera da tirare su il gredagno.

Una soluzione è:

H_6 e H_8 sono i transconduttori del II° studio.



Per questo circuito il
guadagno è:

$$\frac{U_0}{U_d} = \frac{U_0}{U_0'} \frac{U_0'}{U_d} = \left[q_{m6}(r_{06} + r_{08}) \right] \left[q_{m1}(r_{01} + r_{03}) \right]$$

Bisogna quindi discutere le dinamiche. Si può vedere sullo schema, che, data $V_0 = V_{D1} - V_{D2}$, quando V_{D1} è minima V_{D2} è massima, e viceversa. Quindi, valutiamo per i singoli minimi e massimi:

$$\left\{ \begin{array}{l} V_{DSS} \geq V_{DGS} \Rightarrow V_{DD} - V_{D2\max} \geq V_{DSS} \\ \end{array} \right. ; \quad (V_{D2} \text{ massima})$$

$$\left\{ \begin{array}{l} V_{DSS} \geq V_{DGS} \Rightarrow V_{D1\min} \geq V_{DGS} \\ \end{array} \right. ; \quad (V_{D1} \text{ minima})$$

$$\left\{ \begin{array}{l} V_{DGS} \geq V_{DGS} \Rightarrow V_{DD} - V_{D2\max} \geq V_{DGS} \\ \end{array} \right. ; \quad (V_{D2} \text{ massima})$$

$$\left\{ \begin{array}{l} V_{DGS} \geq V_{DGS} \Rightarrow V_{D2\min} \geq V_{DGS} \\ \end{array} \right. ; \quad (V_{D2} \text{ minima})$$

① e ② sono i due casi interessanti. Si consideri per esempio ②:

$$V_0 \geq V_{D1\min} - V_{D2\max} = V_{DGS} - (V_{DD} - V_{DGS}) \quad \left[\begin{array}{l} \text{qui, perché } V_{D1} \leq V_{D2} \\ \text{e quindi questo è il lavoro} \\ \text{bound} \end{array} \right]$$

D'altronde si ha:

$$V_0 \leq V_{DD} - 2V_{DGS} \quad \left[\text{tutto matchato, non discriminante } V_{DD} \right].$$

Commento: da un lato, il guadagno è aumentato (grazie alla topologia); dall'altro, la dinamica di uscita di modi differenti è ora svincolata dalla tensione di ingresso di modi comuni.

Per quanto riguarda la dinamica di ingresso di modi comuni, d'altra parte il limite inferiore è:

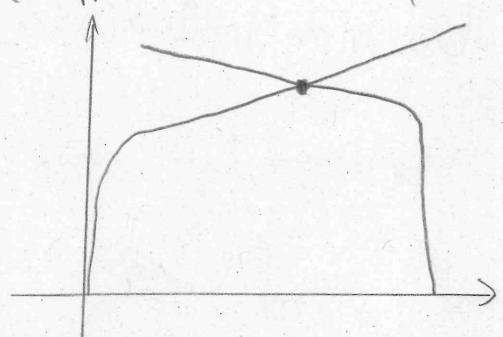
$$V_{DGS} \geq V_{DGS} \Rightarrow V_C - V_{GS1} \geq V_{DGS} \Rightarrow V_C \geq V_{GS1} + V_{DGS}$$

Il limite superiore, invece, dipende dalle \bar{V}_{D1} , \bar{V}_{D2} ; supponendo $\bar{V}_{D1} = \bar{V}_{D2}$,

$$V_{DGS} = V_{DGS} = \bar{V}_{D1} - (V_{GS} - V_C) > V_{DGS}$$

$$\hookrightarrow V_{C\max} \leq \bar{V}_{D1} + V_{HIC}$$

Perciò, qui si ha un problema: in questo caso il punto di lavoro del 1° studio deriva dall'intersezione di caratteristiche quasi piatte: non è ben definito.



Considerazioni: si immagini di far varire l'uscita di 3V (real-t-real, quindi molto grande); se il secondo studio gliel'avanza per esempio 40 dB (100).

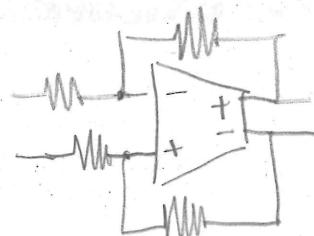
V_{O1} varerà di 30 mV; molto poco.

Supponendo che $A_{D1} \times A_{D2} = 80$ dB (per esempio), se si collega questo amplificatore in feedback, la $\Delta V_O = 3V$

$$\Delta V_{SGS} = \frac{3V}{100} = 30 \text{ mV}$$

Se quindi questo amplificatore differenziale viene razionalizzato,

$$\Delta V_{SGS,6} \approx 30 \text{ mV}$$



Qui, la tensione di uscita non è condizionata dal modo comune, dal momento che c'è questo secondo stadio.

Tutto ciò è vero se i transistori (i transistori) sono in saturazione, ma ciò non è banale. Dal momento che non si ha controllo del modo comune, il sistema potrebbe anche avere transistori in triodo.

In altre parole: il punto di lavoro $\bar{V}_{D1}, \bar{V}_{D2}$ è legato al modo comune, e questo è difficile da controllare per la questione delle caratteristiche "piatte".

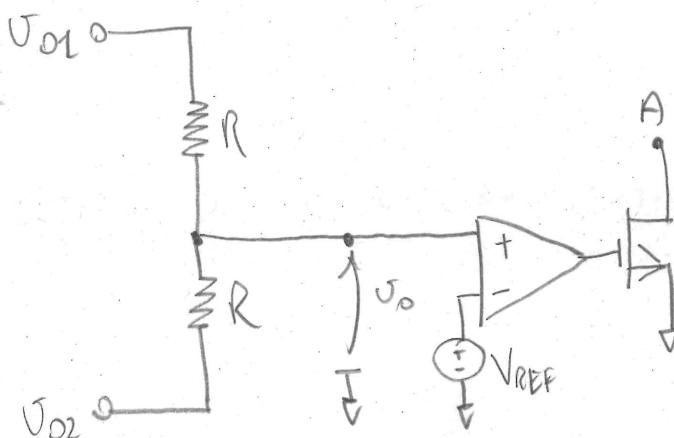
Soluzione: usare un circuito di retroazione del modo comune, al fine di fissare la sola componente comune. Questo deve essere insensibile al modo differenziale.

$$\hookrightarrow V_O = \frac{V_{O1} + V_{O2}}{2}$$

Retroazione di modo comune

Una prima implementazione può essere:

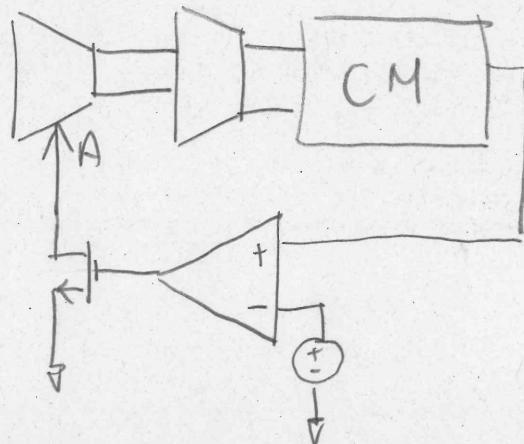
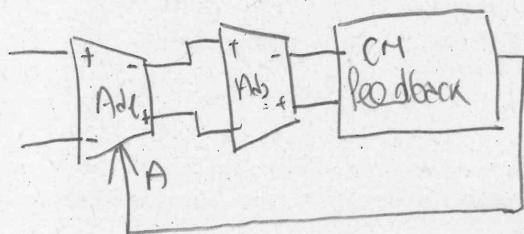
mandare V_O all'ingresso di un operazionale, lasciandolo in modo che V_O sia fissata a una certa V_{REF} ; le resistenze "mediane" le va a V_{O2} , ottenendo la $V_O = \frac{V_{O1} + V_{O2}}{2}$.



Quanto più accurato è l'opamp, tanto più stabile la tensione finale. Più accuratezza implica più guadagno.

Si noti che questo problema negli stadi single-ended in usata non sussiste del momento che la corrispondente lavora via sul modo differenziale, via sul modo comune (fissando il punto di polarizzazione).

Si consideri il seguente schema a blocchi:



Ora: si supponga di voler fissare

$$\bar{V}_{D1}^1 \text{ e } \bar{V}_{D2}^1 \text{ a } \frac{3,3V}{2} = 1,65V. \text{ Si ha:}$$

$$\bar{V}_{SG5} \approx \bar{V}_{SG6} \approx V_{TH} + J_{SD} + \frac{2J_{SS}}{\mu n C_{ox} \frac{W}{L}} = \frac{J_{SS}}{\mu n C_{ox} \frac{W}{L} + V_{TH}}$$

$$\hookrightarrow \bar{V}_{D1}^1 = \bar{V}_{D2}^1 = V_{DD} - \bar{V}_{SG5}$$

Questa è la tensione media di usata. Ora, dunque, per il calcolo del limite superiore della dinamica di ingresso di modo comune,

$$V_{DS1} \geq V_{DS1} \Rightarrow V_{D1} = \bar{V}_{D1}^1; V_{S1} = V_C - V_{GS1}$$

$$\hookrightarrow \bar{V}_{D1}^1 - (V_C - V_{GS1}) \geq V_{DS1} \Rightarrow V_C \leq \bar{V}_{D1}^1 + V_{GS1} - \bar{V}_{D1}^1 = \bar{V}_{D1}^1 + V_{TH1} = V_{DD} + V_{TH1} - \bar{V}_{SG5}$$

E questa è prossima alla V_{DD} !

Quando si usano stadi in cascode, si può dire che il I° "traduce" il segnale differenziale in single-ended, il II°, "suo comune", non ha poi problemi di modo comune essendone l'usata svincolata.

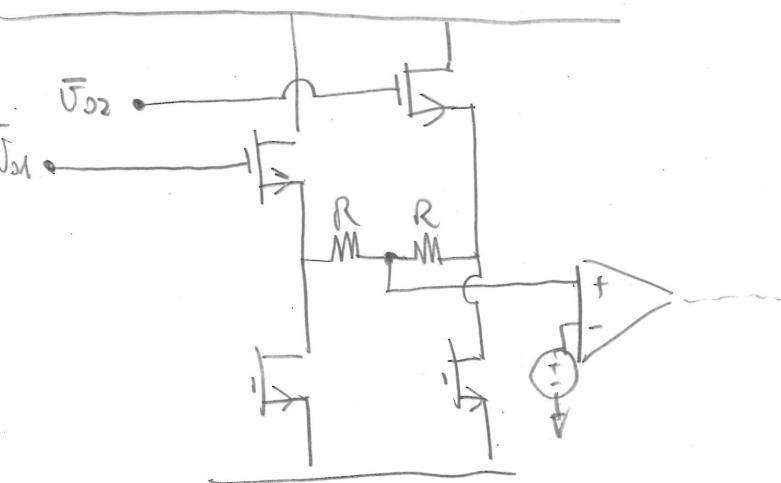
Il circuito di prima ha un problema: come i drain del I° stadio su $R + r_o = 2R$, riducendo il guadagno: $[g_{me}(r_{o1} + r_{o2}) \odot (2R)]$.

Vengono, per questo, usati circuiti simili, ma più complicati ed efficaci.

Andrea Ferreiro, Valeria Teppati

Microwave Laboratories
The Mixer

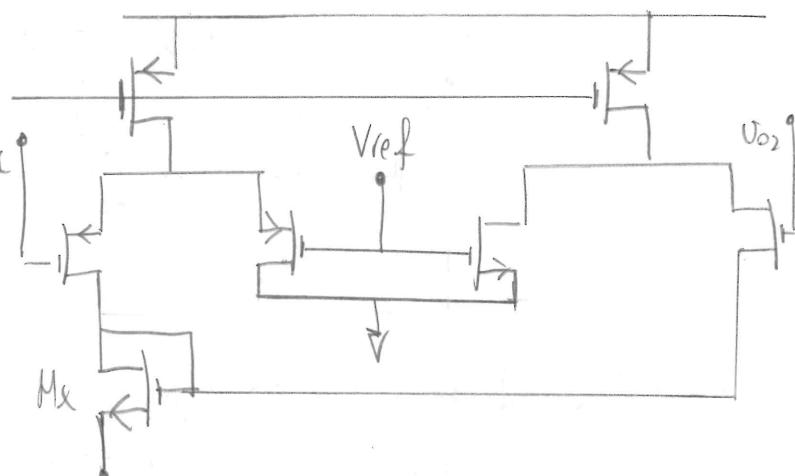
Un esempio è il seguente:



Mettere dei bufferi per disaccoppiare le impedanze e non conciare surr.

Un'altra soluzione è basata sull'uso della coppia differenziale:

Qui, quando si ha una variazione delle tensioni di uscita, gli stadi V_{oc} vengono sbilanciati rispetto a V_{ref} ; ciò che capita è che sbilanciamenti variano la corrente di M_x , e quindi la tensione di uscita.



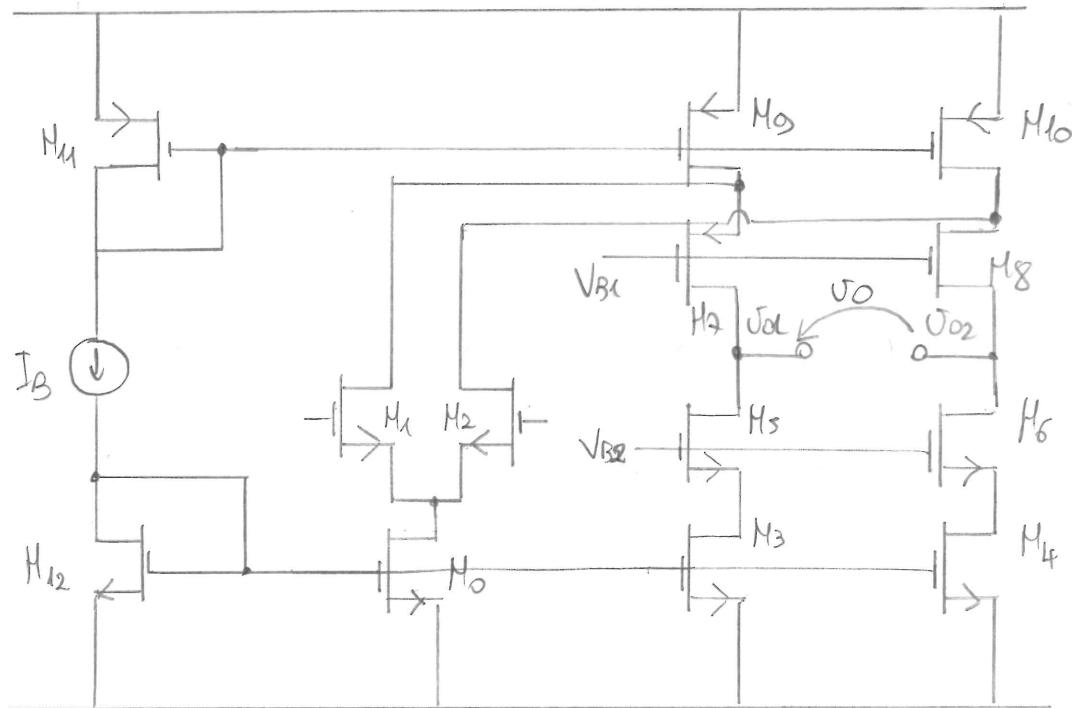
Nota: il circuito di controllo del modus come ho un grosso svantaggio; esso infatti limita la banda del modus differenziale.

In realtà quindi i due loop interfiscono. A seconda della topologia che si usa per la retroazione, quindi, può cambiare anche il modus differenziale.

Il transistor M_x va collegato come "falso debito" di un specchio; si mette un Supplementatore Transistor-generatore sul nodo A e vi si collega il gate di quest'ultimo al gate di M_x .

Stadi di differenza rail-to-rail

Le 2 implementazioni finora introdotte sono state: o il cascata telescopio differenziale, o la cascata di 2 stadi differenziali elementari. Un'ulteriore soluzione è quella di usare stadi differenziali folded cascode.



Ci sono 2 stadi; una coppia differenziale e un cascode. V_{B1} e V_{B2} sono due tensioni di polarizzazione.

Con questo tentativo si vorrebbe provare ad avere dinamica e guadagno elevate. Si discuteranno ora i parametri per questo stadio.

Riprendendo il folded cascode, si avere:

$$A_{Vi} = g_{mA} \times \left[g_{mc} g_{mC} \times (r_{oB} + r_{oA}) \right]$$

Nel circuito differenziale,

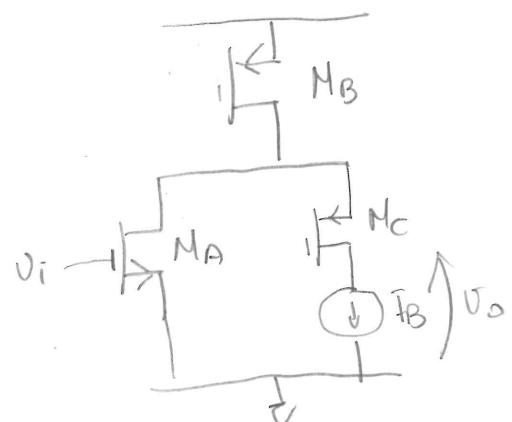
$$A_{D0} \approx g_{mA} \times \left[g_{m2} g_{m3} (r_{o3} + r_{o1}) \right] \oplus \left[g_{m3} (r_{o3} \times r_{o1}) \right]$$

Nella struttura interessata, M_C ha il ruolo del transistor A_1 ,

M_2 quello di M_C , e poi via, M_B è M_9 . Guardando v_{oL} , si vede r_{out} .

L'uscita è sul drain di M_2 ; sopra si vede I_{o2} , moltiplicata per $r_{o3} + r_{o1}$.

Sotto c'è M_3 che "tira su" l'impedenza.



Dinamica di uscita di modo differenziale

Le dinamiche sono limitate dal fatto che i transistori vicini all'uscita devono essere sicuri.

Nel deMaggio

$$U_{DS5} > U_{DS5} \Rightarrow U_{DS} = U_{D1} - (V_{B2} - U_{DS}) = U_{D1} - V_{B2} + U_{GS5} > U_{DS5}$$

$$\hookrightarrow U_{D1} > V_{B2} - V_{TH5}$$

Si ha legare a V_{B2} ; quindi, se si pregherà V_{B2} in modo tale da stare al bordo della regione triode, ossia

$$V_{B2} = U_{DD3} + U_{DS5} + V_{TH5}$$

$$\text{Si ha } U_{D1} \geq U_{DS5} + U_{DS5}$$

Per quanto riguarda il limite superiore:

$$U_{DS7} \geq U_{DS7}$$

$$\hookrightarrow I_{S7} = U_{BL} + U_{SG7} ; \quad U_{DS7} = U_{D1}$$

$$\hookrightarrow U_{D1} \leq V_{B1} + V_{TH7}$$

$$\text{Ora, se } V_{BL} = U_{DD} - V_{TH7} + U_{DD7} + U_{DS7},$$

$$\hookrightarrow U_{D1} \leq U_{DD} - (U_{DS7} + U_{DS5})$$

e le stesse considerazioni valgono sul lato destro.

Dinamica di ingresso di modo comune

Prime di tutto, di solito,

$U_{GS1} \neq U_{GS2}$ [solito].

"per sopra", per il limite superiore, serve che $U_{DS1} > U_{DS2}$.

Nel caso più "estremo", $U_{DS} = U_{DD} - U_{DS5}$

$$\hookrightarrow U_{DD} - U_{DS5} - (U_{CN} - U_{GS1}) > U_{DS5}$$

$$\hookrightarrow U_{CN} \leq U_{DD} - U_{DS5} + V_{TH5}$$

Questa tensione additiva è superiore alla tensione di alimentazione.

Questo è un amplificatore fully-differential; questo significa che esso ve retroazionato anche per il modo comune.

L'idea è introdurre una degenerazione di

Source: a seconda di come cambiano V_{A1} e V_{A2} , le resistenze realizzate mediante HA e MB, transistori

in triodo, cambiano la corrente e fanno così la retroazione. La resistenza equivalente di questi transistori è:

$$R_{DSI} = \frac{I}{B_n \frac{W}{L} (V_{GS1} - V_{TH})} \Rightarrow R_{eq} = R_{DSI} + R_{DS2}$$

$$\hookrightarrow R_{eq} = \frac{1}{B_n \frac{W}{L} |_A (V_{GS1} - V_{TH}) + B_n \frac{W}{L} |_B (V_{GS2} - V_{TH})} = \left[\text{se } \frac{W}{L}|_A = \frac{W}{L}|_B \right]$$

$$= \frac{1}{B_n \frac{W}{L}|_A (V_{D1} + V_{D2} - 2V_{TH})}$$

Progetto del circuito di retroazione di modo comune ore mostrato

A questo punto, si vuole dimensionare i vari transistori.

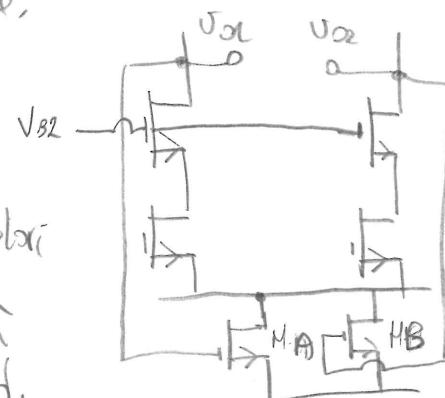
Si parta da H_{12} e si consideri l'equazione della meglio:

$$V_{GS12} - V_{GS3} = R_{eq} I_{eq} \quad \text{dove } I_{eq} = 2I_B$$

$$\hookrightarrow V_{D12} + V_{TH1} - V_{D3} - V_{TH3} = R_{eq} I_{eq}$$

$$\hookrightarrow \sqrt{\frac{I_B}{B_n \frac{W}{L}|_{12}}} - \sqrt{\frac{I_B}{B_n \frac{W}{L}|_3}} = 2I_B R_{eq} \quad i$$

$$\text{Si definisce } K \stackrel{?}{=} \frac{\frac{W}{L}|_3}{\frac{W}{L}|_{12}} \quad i \quad \text{si ha:}$$



$$\sqrt{\frac{1}{B_n \frac{W}{E} I_{k2}}} \left[L - \frac{L}{\sqrt{K}} \right] = 2 R_{eq} \sqrt{I_B}$$

Or;

$$R_{eq} = \frac{l}{2 \beta n \frac{W}{l} |A| \left(\frac{V_{t+}}{2} - V_{th} \right)}$$

punto di
lavoro

maneggiando, moltiplicando e dividendo per 2

Fissato K rapporto di aspetto $H_2 : H_3$, si può ricavare $\frac{W}{L_A}$ a questo punto una maglia.

Questa equazione ha dipendenza da β_n , che è un parametro di processo l'area impiegata, tuttavia, è ridotta.

Quella tecnica può essere impiegata in diverse altre due maniere:

Questa formula può essere utilizzata per i transistor a triste PMOS, "sopra" il caso dei j . In questo caso si riduce la tensione di uscita di modo differenziale, poiché si va a ridurre il limite superiore. Per migliorare ciò si dovrebbe ridurre la resistenza e quindi aumentare l'area, ma quindi anche i passi.

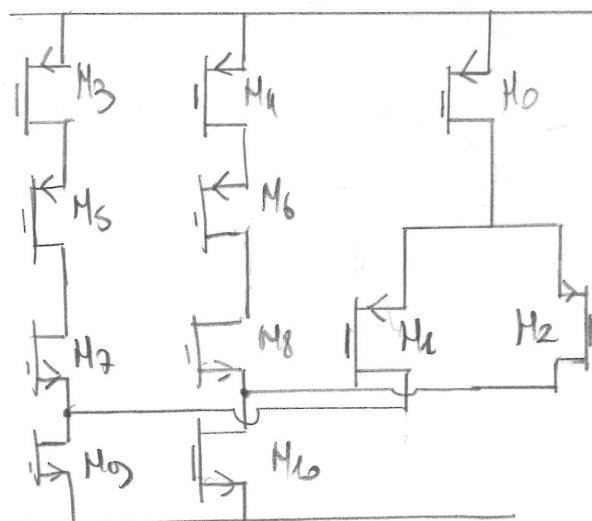
2) "Degenerando" lo specchio Mo: ciò va a cominciare il limite inferiore della dinamica di modo comune.

Si consideri, a questo punto, una struttura
duale, in cui la coppia differenziale è p:
In questo caso, la dinamica di ingresso di
mod come è:

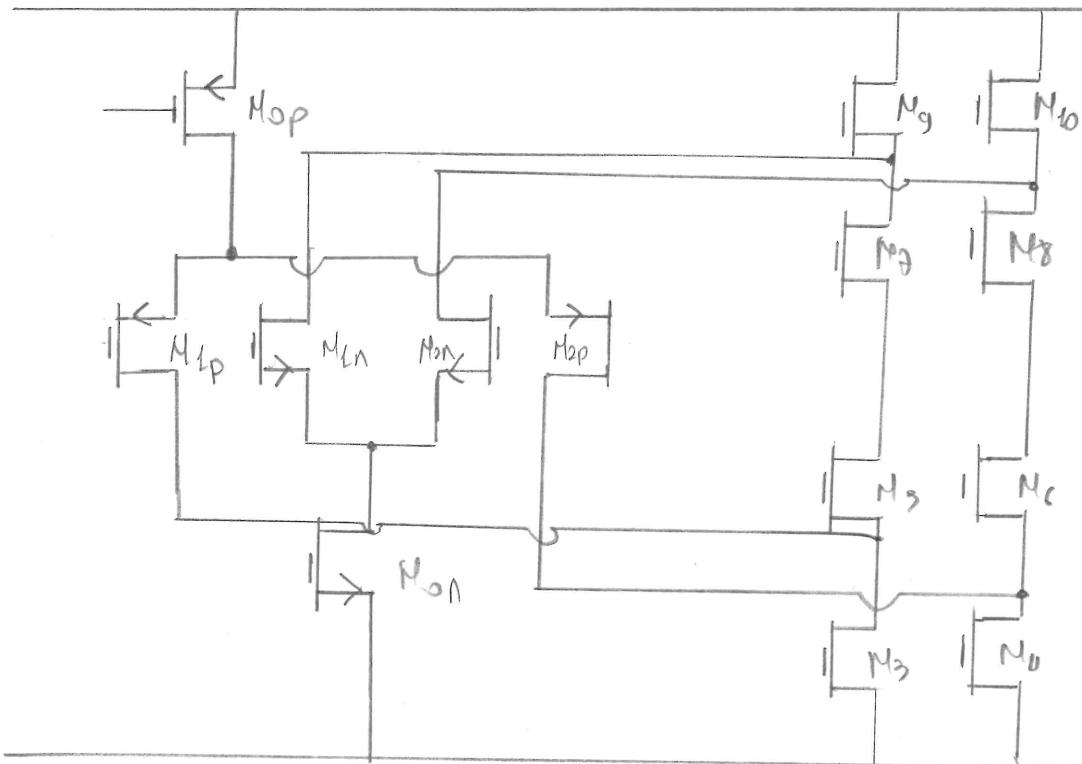
$$V_C \leq V_{DD} - (V_{DDOP} + V_{SGP})$$

$U_C > U_{003} - V_{THP} \rightarrow$ minore della tensione
più bassa!

Circuito sencillo, diagrama sencillo.



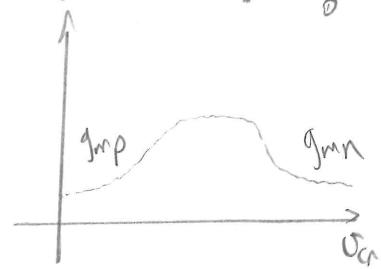
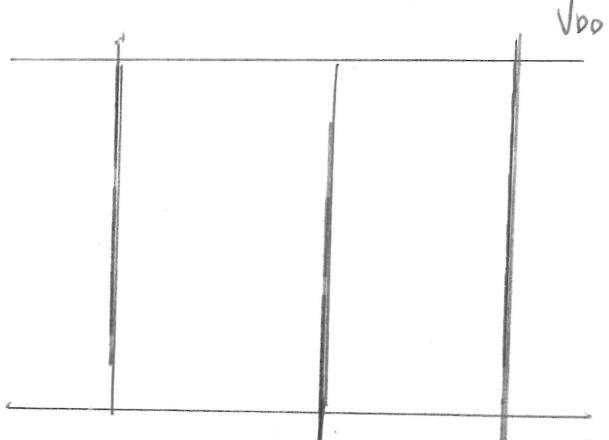
Mettendo insieme i 2 stadi, si ottiene un amplificatore rel-to-rel: (73)



Come funziona? "in meno"; lavorano entrambe le coppie; troppo "sopra" o "sotto"; solo una per volta

↳ questo è un doppio. La gm è funzione del punto di lavoro! Quando una delle coppie è spenta, il guadagno varia.

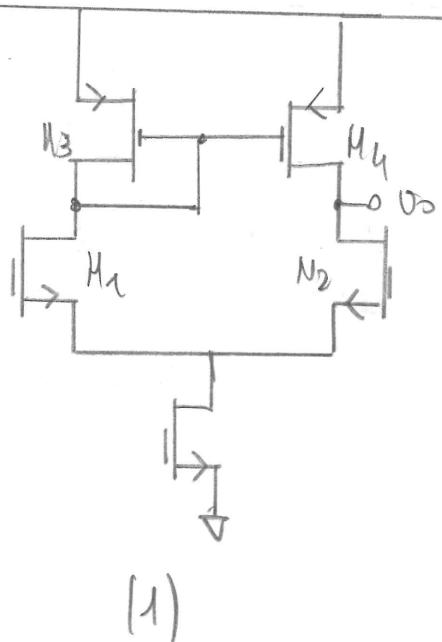
Se il sistema è retroazionato, ciò cambia il guadagno di andata; se esso è comunque alto, il sistema globale continua a funzionare.



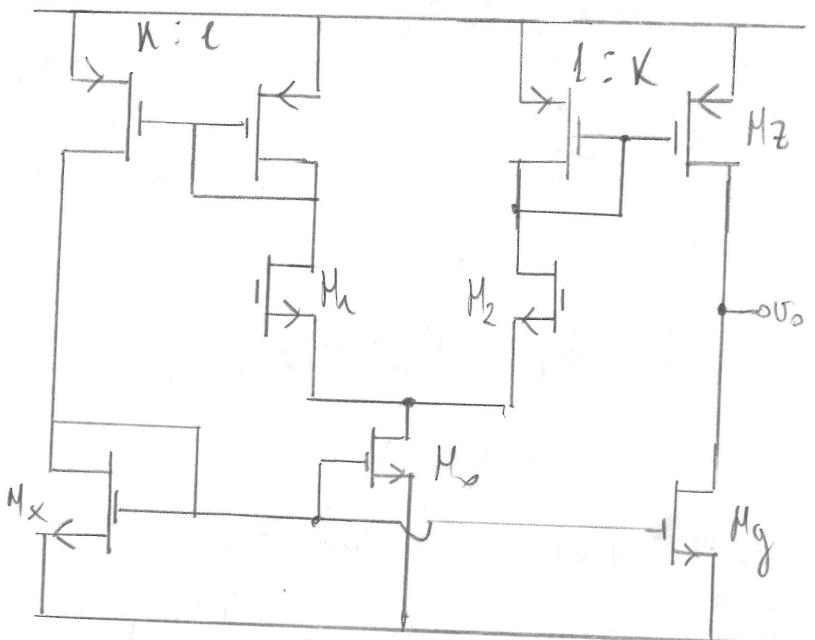
Altri?

Amplificatori single-ended

Considerando una coppia differenziale tradizionale, essa esce con un'usata differenziale. Come si può fare in modo che essa "esca" invece con un terminale riferito a GND? Ci sono almeno 2 soluzioni:



(1)



(2)

Si può vedere che:

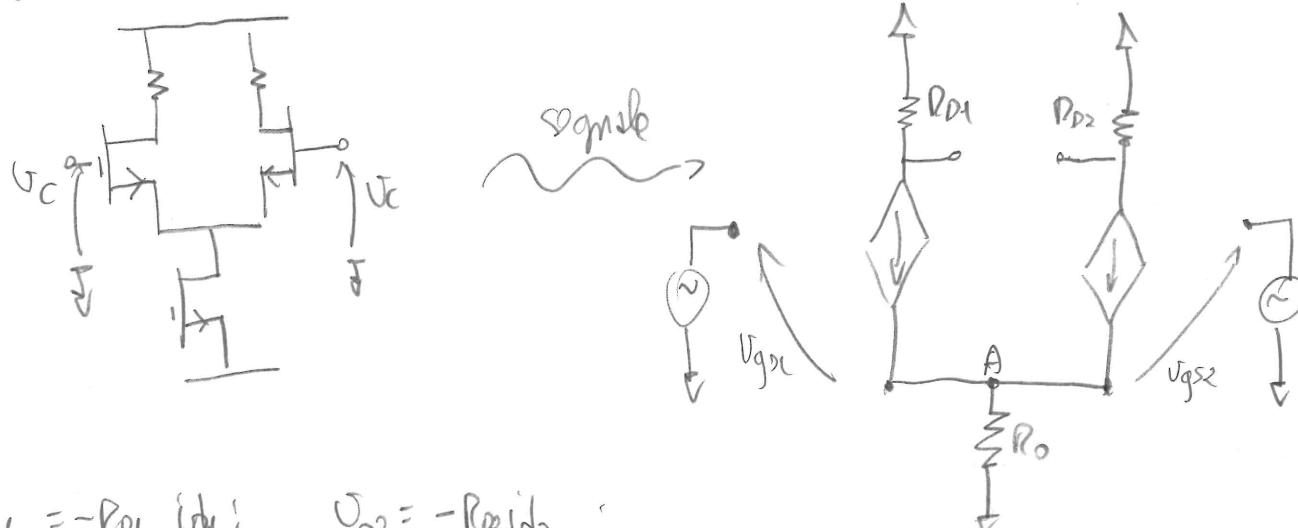
$$\left. \begin{array}{l} A_{d1} = g_m R_{o2} + R_{o1} \\ A_{d2} = g_m K (R_{o2} + R_{o1}) \end{array} \right\} \begin{array}{l} \text{i guadagni sono piuttosto} \\ \text{simili} \end{array}$$

La differenza sta nella dinamica: in (2), infatti v_{o1} e v_{o2} sono fissate alle v_{sg} , dai transistor a diodo. Ciò non accade in (1).

(2) poi può essere migliorato, usando degli specchi migliori (Widlar...); ad ogni modo, nel (1), la dinamica di usata di modo differenziale dipende dalla tensione di ingresso di modo comune.

Reazione del modo comune

La reazione della tensione di modo comune è effettuata dello stesso di ingresso quello differenziale. Si faccia un'analisi di questo segnale:



$$V_{D1} = -R_{D1} I_{D1}; \quad V_{D2} = -R_{D2} I_{D2};$$

$$V_O = V_{D1} - V_{D2}$$

Dalla equazione del nodo A,

$$\hookrightarrow g_{m1} U_{gS1} + g_{m2} U_{gS2} = \frac{U_{CM} - U_{gM}}{R_O}$$

Dato $U_{gS1} = U_S$ dalla equazione della mezza,

$$\hookrightarrow U_{gS1} (g_{m1} + g_{m2}) R_O + U_{gS2} = U_C \Rightarrow U_{gS1} = \frac{U_C}{1 + R_O (g_{m1} + g_{m2})}$$

$$\hookrightarrow V_{D1} = -R_{D1} g_{m1} \frac{U_C}{1 + R_O (g_{m1} + g_{m2})}$$

Questa è l'amplificazione del modo comune!

Si desidera avere R_O grossa, quindi volendo si può allungare il canale di M_0 , per ridurre $A_C = \frac{U_O}{U_C}$.

$$\frac{J_o}{C_m} = \frac{R_{D2} g_{m2} - R_{D1} g_{m1}}{1 + (g_{m1} + g_{m2}) R_O}$$

matchando tutto, se si chiede $R_{D1} g_{m1} = R_{D2} g_{m2}$, si elimina comunque!

Si ricchi che g_m dipende anche della tensione differenziale in continua, dunque potremmo di annullare il numeratore e l' denominatore, e non solo per il mismatch, ma anche per le asimmetrie del modo differenziale.

Nel caso vi fosse matching perfetto dei resistori, $R_{\text{A}} = R_{\text{D}}$:

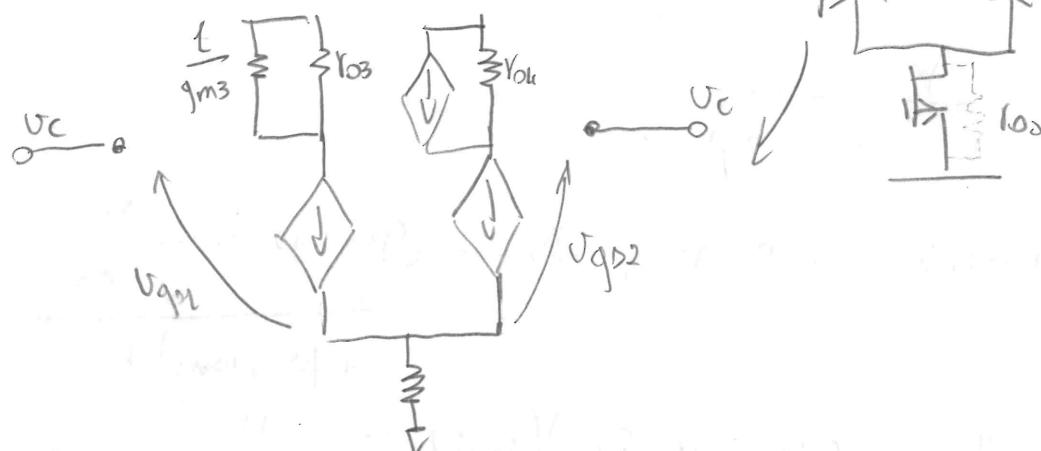
$$\hookrightarrow \frac{V_{\text{O}}}{V_{\text{C}}} = \frac{\Delta g_m R_{\text{D}}}{1 + 2R_{\text{S}}\Delta g_m}$$

A questo punto si può calcolare il guadagno come il rapporto tra A_{d} e A_{c} :

$$\text{guad} \triangleq \left| \frac{A_{\text{d}}}{A_{\text{c}}} \right| = \frac{\Delta g_m R_{\text{D}}}{\frac{\Delta g_m R_{\text{D}}}{1 + 2R_{\text{S}}\Delta g_m}} = \frac{\Delta g_m (1 + 2R_{\text{S}}\Delta g_m)}{\Delta g_m} = 1 + 2R_{\text{S}}\Delta g_m$$

Si consideri ora il seguente circuito:

Senza la r_{os} , tutto il problema della amplificazione di modo comune non ci sarebbe. Si passi ora



Il modello di segnale: in questo, le resistenze r_o sono solo su 3 e 4. Il motivo è: supponendo M_1 matchato a M_2 , M_3 a M_4 , i transistori M_1 e M_2 hanno la stessa V_{GS}

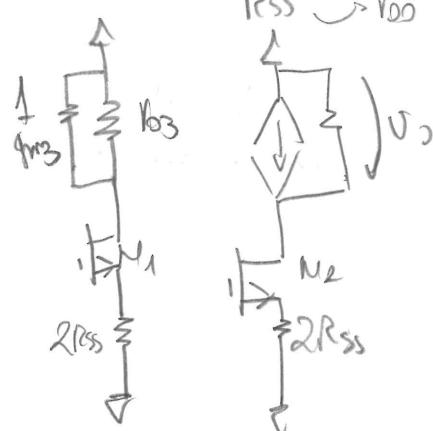
$$\hookrightarrow I_{\text{D1}} = g_{m1} V_{\text{GS1}} \quad \Rightarrow \quad I_{\text{D1}} + i_{\text{D2}} = g_{m1} V_{\text{GS1}} + g_{m2} V_{\text{GS2}} = \frac{V_{\text{CM}} - V_{\text{GS1}}}{R_{\text{SS}}} \rightarrow r_{\text{D1}} = R_{\text{SS}}$$

$$i_{\text{D2}} = g_{m2} V_{\text{GS2}}$$

$$\text{Quindi, se } g_{m1} = g_{m2}, \quad V_{\text{CM}} = 2g_{m1} V_{\text{GS}} R_{\text{SS}}$$

$$i_{\text{D1}} = V_{\text{GS1}} g_{m1} = \frac{g_{m1} V_{\text{CM}}}{2g_{m1} R_{\text{SS}} + l}$$

Ciò può permettere di ridisegnare il circuito:



Questi hanno delle degenerazioni di source, per questo $r_{\text{D1,2}}$ sono trascurabili: perché la resistenza "guardando sotto" è immensa.

Ora:

$$V_0 = V_{DD} I_0, \quad I_0 = g_{m4} V_{GS4} - I_{D2} = g_{m4} \left(I_{D1} V_{DS3} + g_{m3}^{-1} \right) - I_{D1} =$$

$$= \left(g_{m4} - \frac{1}{\frac{1}{V_{DS3}} + g_{m3}} - 1 \right) I_{D1} = \frac{g_{m4} - \left(g_{m3} + \frac{1}{V_{DS3}} \right)}{\frac{1}{V_{DS3}} + g_{m3}} \frac{g_{m4} V_{DD}}{1 + 2R_{SS} g_{m1}}$$

Per matching, $g_{m3} = g_{m4}$; quindi,

$$\hookrightarrow \frac{V_0}{V_{DD}} = \frac{V_{DD} g_{m4}}{(1 + 103 g_{m3}) (1 + 2R_{SS} g_{m1})}. \quad \text{Se poi } 103 g_{m3} \gg 1,$$

$$\hookrightarrow \approx \frac{g_{m4}}{g_{m3} (1 + 2R_{SS} g_{m1})}.$$

$$\text{Se c'è mismatch nella coppia, } A_{CM} = \frac{(g_{m1} - g_{m2}) V_{DS3} - \frac{g_{m1}}{g_{m3}}}{1 + (g_{m1} + g_{m2}) R_{SS}}$$

$$\text{Se } 103 g_{m3} \gg 1, \rightarrow CMRR = (V_{DD} (103 + 1)) (g_{m3} (1 + 2R_{SS} g_{m1}))$$

$$\text{Ora, se } 2R_{SS} g_{m1} \gg 1, \text{ CMRR} \approx (V_{DD} (103)) (g_{m3} (1 + 2R_{SS} g_{m1}))$$

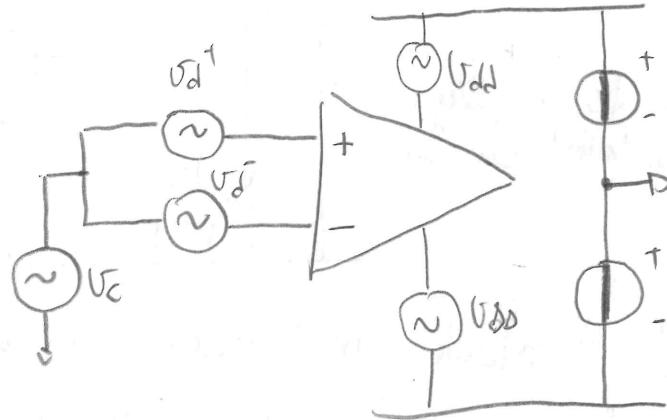
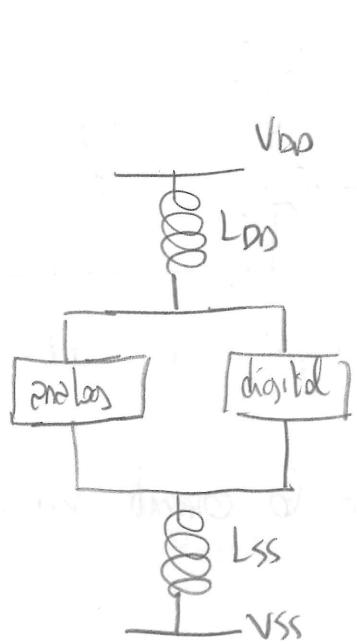
che, in parametri tecnologici è:

$$\frac{1}{\lambda_4 + \lambda_2} \frac{1}{2R_{DS3}} \frac{2}{V_{DS3}} \frac{1}{I_{D1}} \frac{1}{\lambda_3}$$

Per rendere grande il CMRR, si devono ridurre i λ (aumentare l'area), e ridurre V_{DS3} , quindi di nuovo l'area.

PSRR: Power Supply Rejection Ratio

Un altro effetto negativo del modo come è quello non sull'ingresso, ma sull'alimentazione. Anche le alimentazioni, infatti, sono affette da disturbi.



Se in un sistema si hanno per esempio assieme blocchi analogici e digitali, questi ultimi generano corrente a impulsi.

Si ha:

$$U_{AL} = V_{DD} - L_{DD} \frac{di_{load}}{dt} - \left(L_{SS} \frac{di_{load}}{dt} + V_{SS} \right) \quad \begin{cases} \text{particolarmente sentito nei} \\ \text{sistemi a bassa tensione} \end{cases}$$

Ora, si consideri $U_C = U^+ = U^- = 0$ (ingressi spenti); si definisce:

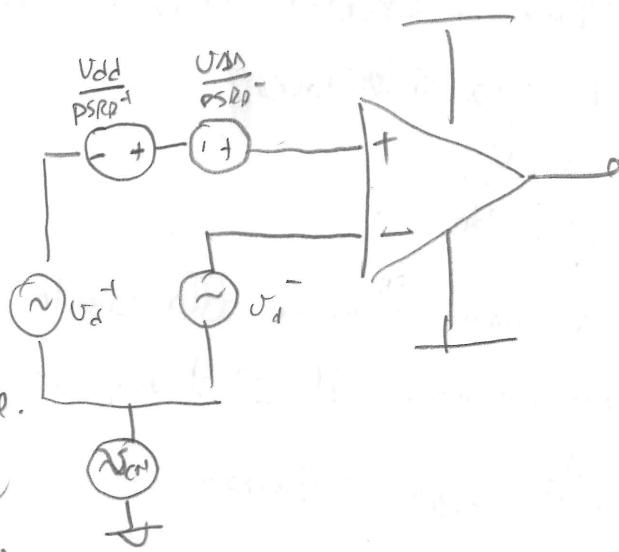
$$PSRR^+ = \left| \frac{A_d}{A^+} \right| \quad ; \quad PSRR^- = \left| \frac{A_d}{A^-} \right|, \quad A^+ = \frac{U_o}{U_{DD}} \quad ; \quad A^- = \frac{U_o}{U_{SS}}$$

Inoltre, c'è il "crosstalk di substrato".

Questo sistema è equivalente a uno con disturbi sull'ingresso, ma alimentazioni non orrette.

In questo modo si valuta come il segnale carriera il segnale differenziale.

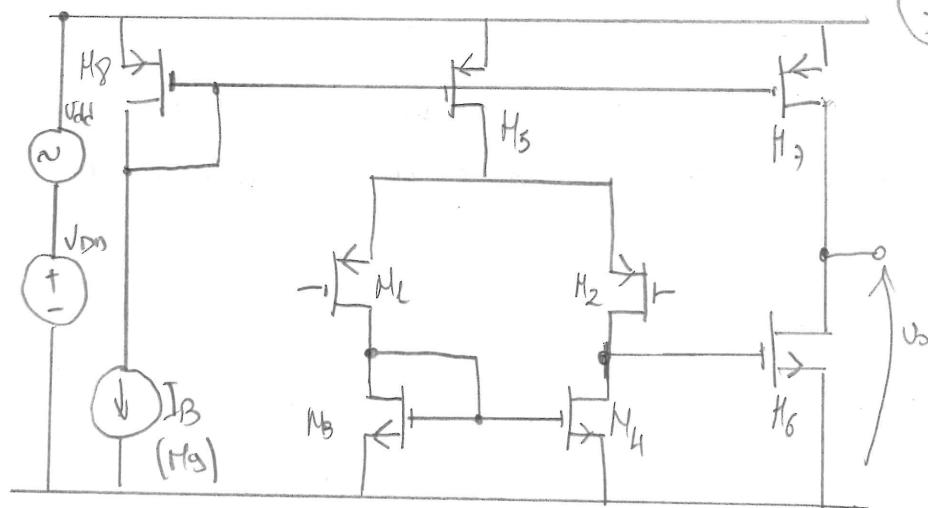
Questa è simile alla stima del rumore: si confronta il disturbo con il segnale differenziale di ingresso.



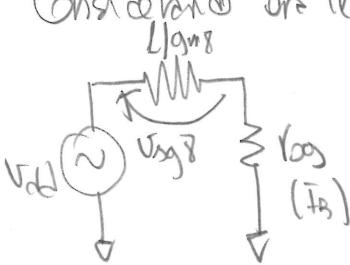
Si consideri questo circuito:
struttura single-ended.

$$A^+ = \frac{V_o}{V_{DD}}$$

In realtà, con una struttura fully differential, padri trattati come un disturbo comune.



Dato che I_B è costante, il transistore a diodo H_8 impone V_{SG8} costante.
Considerando ora il piccolo segnale del riferimento a sinistra,



V_{SG8} è modulata, ma quindi entro le correnti sui lati fatti lo zero. Faccendo il conto,

$$V_{SG8} = \frac{g_{m8}^{-1}}{g_{m8}^{-1} + R_{B1}} V_{DD} = \frac{l}{l + g_{m8} R_{B1}} V_{DD}$$

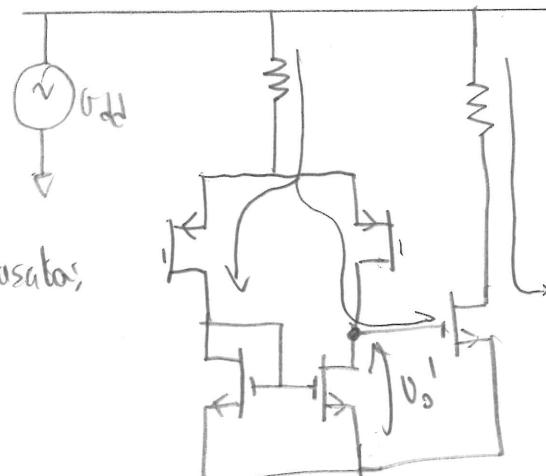
Il fatto di scegliere la stessa sagoma per restringere i 2 stadi è vantaggioso: si ha la variazione di tensione, ma anche una variazione di corrente e le due tendenzialmente si compensano.

Si consideri ora infatti il seguente equivalente "a destra":

Ci sono 2 percorsi, 2 contributi di V_{DD} sull'uscita;

- uno verso la coppia differenziale:

$$\frac{V_o}{V_{DD}} \Big|_{diff} = \frac{V_o}{V_o'} \frac{V_o'}{V_{DD}}$$



V_{DD} introduce una variazione della corrente in ingresso alla coppia differenziale;

$\frac{V_o}{V_o'}$ è l'amplificazione del II° stadio, mentre $\frac{V_o'}{V_{DD}}$ è l'amplificazione di modo comune della coppia differenziale;

$$\frac{V_o}{V_o'} = g_m R_{out} = g_{m6} (R_{D6} \oplus R_{D7}) \quad ; \quad \frac{V_o'}{V_{DD}} = \frac{g_{m1}}{g_{m3} (1 + 2g_m D_{SS})}$$

Il contributo "diretto" deriva da:

$$\frac{U_0}{U_{DD}} = \frac{V_{DD}}{R_{DD} + R_{DS}} : \text{contributo } \underline{\text{diretto}} \text{ sull'usata.}$$

Quindi:

$$A^+ = -g_{m6} (R_{DD} + R_{DS}) \frac{g_{m3}}{g_{m3}(1 + 2g_{m6}R_{SS})} + \frac{V_{DD}}{R_{DD} + R_{DS}} \quad \text{dove } 2g_{m6}R_{SS} \gg 1$$

$$\approx \frac{1}{1 + \frac{R_{DS}}{R_{DD}}} - \frac{g_{m6}(R_{DD} + R_{DS})}{g_{m3}R_{SS}} \frac{1}{2} \quad 1 + \frac{R_{DS}}{R_{DD}} = \frac{R_{DD} + R_{DS}}{R_{DD}}$$

Eguagliando i due termini, $A^+ = 0$.

$$\hookrightarrow \frac{1}{PSRR} = \frac{1}{g_{m3}(R_{DD} + R_{DS})g_{m6}R_{DS}} - \frac{1}{2g_{m6}R_{SS}g_{m3}R_{DS}}$$

$$R_{DD} + R_{DS} = \frac{R_{DD}R_{DS}}{R_{DD} + R_{DS}}$$

$$\hookrightarrow \left(1 + \frac{R_{DS}}{R_{DD}}\right)R_{DD}R_{DS} = R_{DS}$$

Se si riduce:

$$g_{m6}R_{DS} = 2g_{m3}R_{DS}, \quad PSRR \rightarrow \infty.$$

Per questi motivi scegliere di polarizzare con la stessa corrente i 2 stadi è una soltà vincente. Stessa corrente \rightarrow stesse g_{m3} e quindi si ha questo "compensazione" di cui si parla.

OPamp

Si supponga di considerare una situazione di questo tipo:

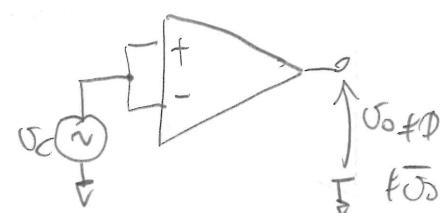
$$U_D = 0.$$

Idealmente, l'usata dovrebbe essere a metà della dinamica.

In pratica non è così: amplificatori idealmente uguali avranno curve $U_0(U_D)$ diverse, a causa delle varie tolleranze. Questo però vuol dire che, con piccoli mismatch, è facile che l'usata saturi anche senza ingressi.

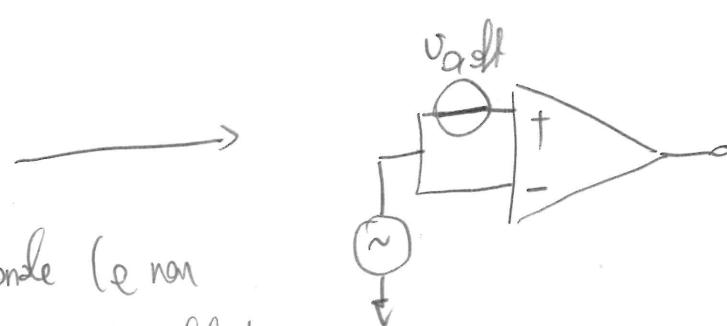
Dato von la tensione di usata Nomina, si definisce la tensione di offset di usata come:

$$U_{0,\text{off}} \triangleq |U_0 - U_{DN}|.$$



Quello che si fa di solito è chiamare "tensione di offset" quella riportata all'ingresso:

$$U_{\text{off}} = \frac{U_{\text{off},1}}{A_1}$$

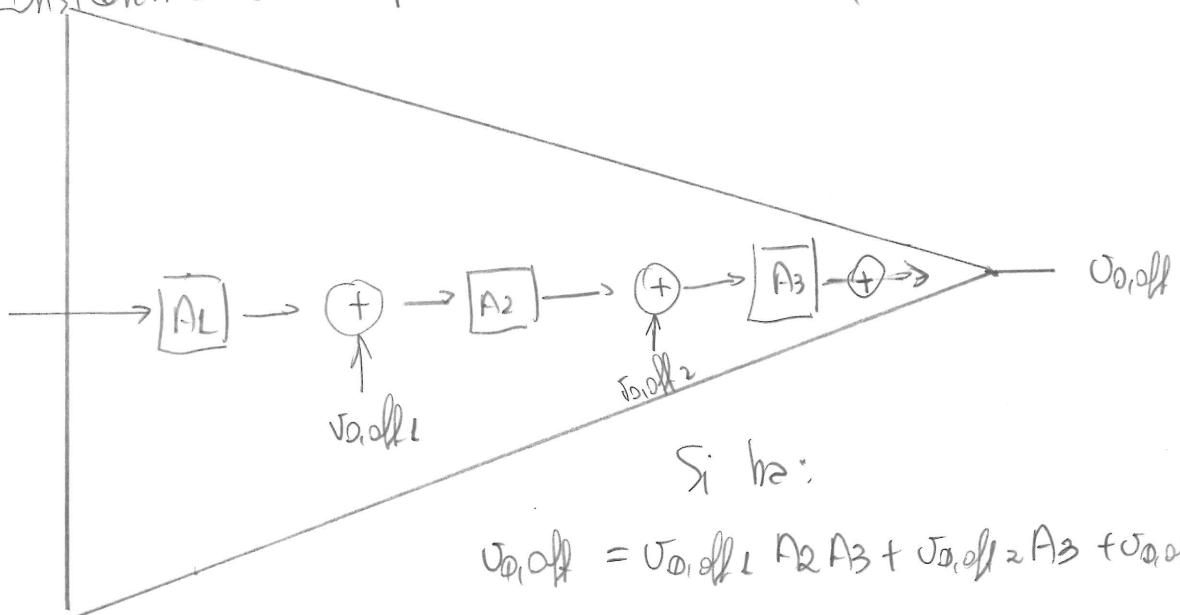


In altre parole un operazione (e non solo!) è modellabile come un amplificatore ideale, con una tensione di offset aggiuntiva in ingresso.

La definizione dell'equazione fra questo ultimo studio e uno studio reale, permette di definire in modo alternativo la U_{off} , come quella tensione da controbilanciare al fine di avere l'uscita al valore nominale U_{DN} .

Esistono 2 tipi di offset: <offset sistematico> e <offset casuale> (dovuto a mismatch).

Considerando un amplificatore multistadio,



Si ha:

$$U_{\text{off},\text{tot}} = U_{\text{off},1} A_2 A_3 + U_{\text{off},2} A_3 + U_{\text{off},3}$$

Dunque, ripartendo dall'ingresso

$$U_{\text{off}} = \frac{U_{\text{off},\text{tot}}}{A_1 A_2 A_3} = \frac{U_{\text{off},1}}{A_1} + \frac{U_{\text{off},2}}{A_1 A_2} + \frac{U_{\text{off},3}}{A_1 A_2 A_3}$$

Ciò che contribuisce in maniera determinante all'offset è il 1° studio.

Per questa l'attenzione va portata al primo studio.

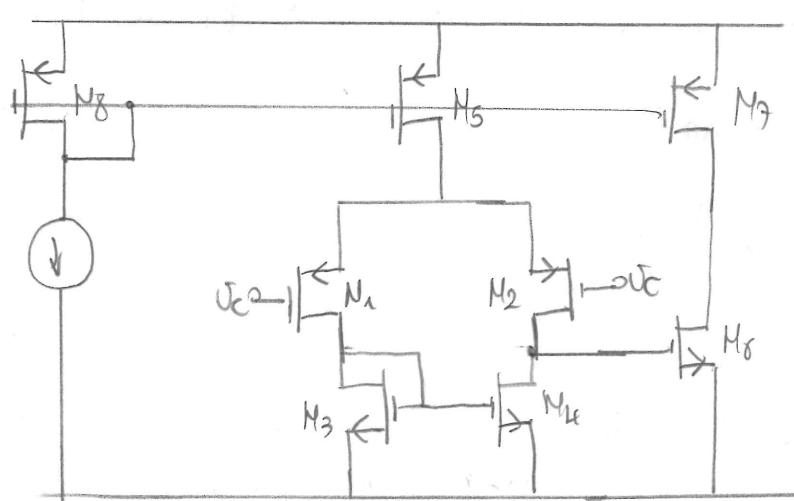
Inoltre, l'offset degli studi successivi, è di solito necessario preoccuparsi del suo offset sistematico: questa per ogni studio. Tutti i progetti van fatti bene.

Si consideri un'analisi dell'offset

Si può subito scrivere che:

$$\frac{W}{L}_1 = \frac{W}{L}_2$$

$$\frac{W}{L}_3 = \frac{W}{L}_4$$



Si discuta, quindi, l'offset sistematico.

Supponendo di applicare il modo comune, la struttura è perfettamente simmetrica.

Se

$$V_{GS6} = V_{GS3} \rightarrow \text{ad implica} \rightarrow i_{D1} = i_{D2}$$

[in questo modo, le tensioni ai drain di M1 e M2 sono infatti uguali]

$$\hookrightarrow V_{TH6} + V_{DD6} = V_{TH3} + V_{DD3} \Rightarrow \sqrt{\frac{i_{D3}}{B_n \frac{W}{L}_3}} = \sqrt{\frac{i_{DG}}{B_n \frac{W}{L}_6}}$$

Quindi,

$$\frac{i_{DG}}{i_{D3}} = \frac{\frac{W}{L}_6}{\frac{W}{L}_3}$$

D'altra parte, $i_{D6} = i_{D3}$; inoltre, $V_{SG3} = V_{SG6}$. Quindi,

$$\hookrightarrow \frac{i_{D3}}{i_{DS}} = \frac{\frac{W}{L}_3}{\frac{W}{L}_6}$$

D'altra parte i_{DS} è quella che si divide in 2, per andare ad alimentare M_6 e M_2 . Quindi,

$$\frac{i_{D3}}{i_{DS}} = 2 \frac{\frac{W}{L}_3}{\frac{W}{L}_6} \quad (\quad \frac{i_{DS}}{i_{DS}} = 2 \frac{\frac{W}{L}_7}{\frac{W}{L}_5} = \frac{\frac{W}{L}_6}{\frac{W}{L}_5} \times 2 \quad)$$

Se questa equazione è rispettata, l'offset sistematico si elimina.

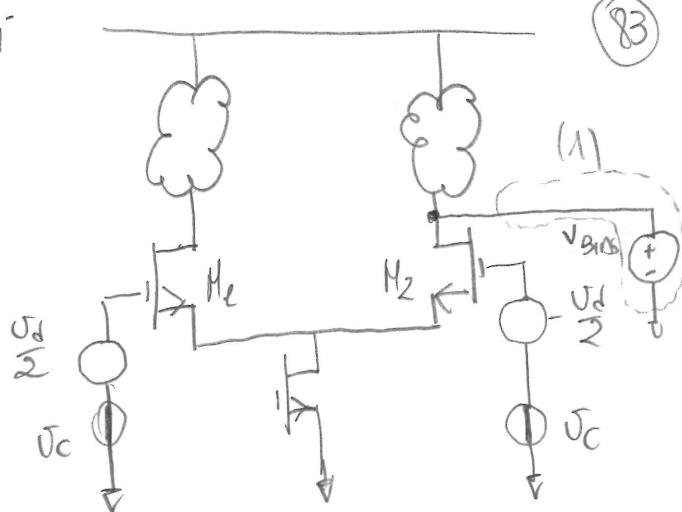
Studio dell'effetto del mismatch dei transistori

Si supponga

$$\frac{W}{L}_{1,2} \neq \frac{W}{L}_1$$

e

$$V_{TH1} \neq V_{TH2}$$



Ora si applichi all'ingresso una tensione

tale per cui si ha

$$I_0 = I_{D1} - I_{D2}$$

e questa deve esser pitata a 0 da V_D . Si ha:

$$J_{off} = V_{G1} - V_{G2} = V_{TH1} + V_{D01} - (V_{TH2} + V_{D02}) = \underbrace{(V_{TH1} - V_{TH2})}_{\triangle V_{TH}} + (V_{D01} - V_{D02})$$

$$= \triangle V_{TH} + \left[\sqrt{\frac{I_0}{\beta_n \frac{W}{L}_1}} - \sqrt{\frac{I_0}{\beta_n \frac{W}{L}_2}} \right] i$$

a questo punto si definisce:

$$\frac{W}{L}_{1,2} \stackrel{\Delta}{=} \frac{\frac{W}{L}_1 + \frac{W}{L}_2}{2} \quad ; \quad \Delta \frac{W}{L} \stackrel{\Delta}{=} \frac{W}{L}_1 - \frac{W}{L}_2$$

$$\hookrightarrow \text{da qua, } \frac{W}{L}_{1,2} = \frac{W}{L}_{1,2} \pm \Delta \frac{W}{L}_{1,2} \cdot \frac{1}{2}$$

Sostituendo in J_{off} , si ottiene:

$$\hookrightarrow J_{off} = \Delta V_{TH} + \left[\sqrt{\frac{I_0}{\beta_n \left(\frac{W}{L}_{1,2} + \Delta \frac{W}{L}_{1,2} \cdot \frac{1}{2} \right)}} - \sqrt{\frac{I_0}{\beta_n \left(\frac{W}{L}_{1,2} - \Delta \frac{W}{L}_{1,2} \cdot \frac{1}{2} \right)}} \right]$$

Sviluppiamo ora secondo Taylor:

$$\hookrightarrow J_{off} = \Delta V_{TH} + \frac{I_0}{\beta_n \frac{W}{L}_{1,2}} \left[\frac{1}{\sqrt{1 + \frac{\Delta}{2}}} - \frac{1}{\sqrt{1 - \frac{\Delta}{2}}} \right] \xrightarrow{\text{Taylor}}$$

Taylor

$$\approx DV_{TH} + \frac{\bar{V}_{OOL,2}}{2} \left(\frac{\Delta \frac{W}{L}_{h,2}}{\bar{W}_{h,2}} \right)$$

Si hanno 2 contributi da offset: uno, legato al mismatch delle soglie; l'altro, a quello dei rapporti di aspetto.

$$DV_{TH,1,2} \approx \pm 3 \frac{K_{V_{TH}}}{W/L} \quad \begin{array}{l} \text{parametri di process} \\ \text{[nel 350 nm, } K_{V_{TH}} = 15 \text{ mV} \cdot \mu\text{m]} \end{array}$$

Faccendo transistori corti e larghi, si ottiene un offset sotto il mV.

Il secondo termine, invece, si può ridurre al crescere del $\frac{W}{L}$: questo è il "mismatch geometrico".

Anche M_3 e M_4 (transistori di polarizzazione) contribuiscono all'offset.

Per la presenza dell'offset, se $V_D = 0$, si ha comunque un $\Delta I_{D,2} \neq 0$; esso si può esprimere come:

$$\Delta I_{D,2} = \bar{g}_{m,1,2} \Delta V_{off,1,2}$$

A ciò si va ad aggiungere l'offset della coppia di specchiogegio!

$$\hookrightarrow \Delta I_0 = \Delta I_{D,2} + \Delta I_{D,3,4}$$

Ora si immagini (1) di aggiungere un V_{bias} , che mantiene fisso il punto di lavoro. Lì, vi è $I_0 = I_{D,4} - I_{D,2}$. Per questa l'errore è dato dalla somma dei due effetti.

Inoltre:

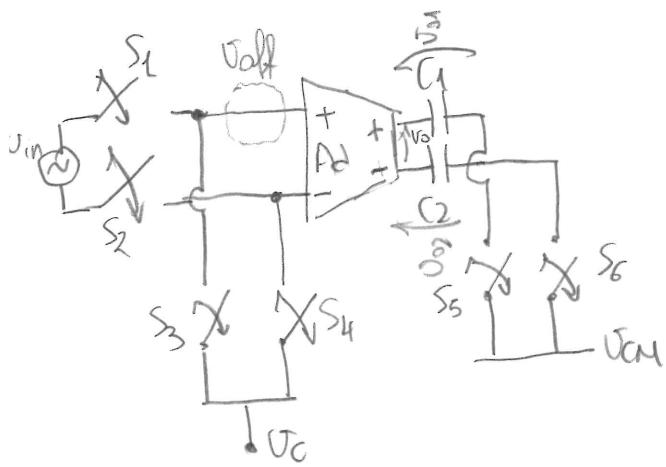
$$\begin{aligned} J_{off} &= V_{off,1,2} + \frac{\Delta I_{D,3,4}}{\bar{g}_{m,1,2}} = V_{off,1,2} + \frac{V_{off,3,4} \bar{g}_{m,3,4}}{\bar{g}_{m,1,2}} = DV_{TH,1,2} + \frac{\bar{V}_{OOL,2}}{2} \left(\frac{\Delta \frac{W}{L}_{h,2}}{\bar{W}_{h,2}} \right) + \\ &+ \frac{\bar{V}_{OOL,2}}{\bar{V}_{OOL,4}} \left[\Delta V_{TH,3,4} + \frac{\Delta \frac{W}{L}_{3,4}}{\bar{W}_{3,4}} \frac{\bar{V}_{OOL,4}}{2} \right] \end{aligned}$$

Usando dei transistori 3 e 4 piccoli e 1 e 2 grossi, si può giocare sulle V_{OOL} e ridurre la V_{off} .

Circuiti per il recupero dell'offset

Molti circuiti di questo tipo sono a tempo discreto, e quindi operano in diverse fasi. Ciò può esser buone al fine di evitare l'uso di transistors grossi, che occuperebbero troppo area.

Recupero offset all'usata



$$V_{\text{Offset}} = V_{\text{C1}} - (-V_{\text{C2}}) = V_{\text{C1}} + V_{\text{C2}}$$

Le due fasi sono:

- ϕ_1): S_3, S_4, S_5, S_6 chiusi, S_1 e S_2 aperti
In questa fase si memorizza l'offset e stacca l'ingresso. C_1 e C_2 memorizzano questa tensione.

Si ha: $V_{\text{Offset}} = Ad \cdot V_{\text{off}}$; dalla eq.
della maglia (prendendo attenzione ai segni dell'uscita dello stadio differenziale);

Inoltre C_1 e C_2 all'altro cap sono carica/caricati (a V_C), dunque, in questo stato la tensione di uscita di usata è nulla: $V_d = 0$, $V_{\text{diff}} = 0$.

ϕ_2) In questo stato, S_1, S_2 sono chiusi, S_3, S_4, S_5, S_6 aperti. Ora C_1 e C_2 sono carichi. Quindi, si ha:

$$V_o = V_o' - V_{\text{C1}} - V_{\text{C2}}, \text{ dove } V_o' = (V_{\text{in}} + V_{\text{off}}) Ad$$

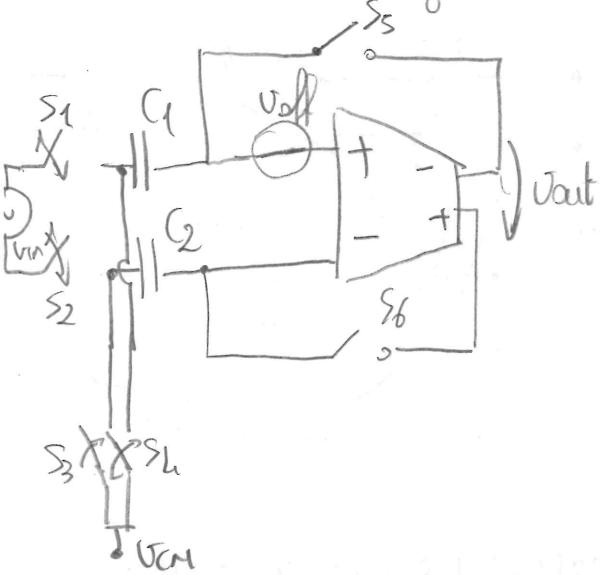
$$\text{ma } V_o = Ad \cdot V_{\text{in}} + \cancel{Ad \cdot V_{\text{off}}} - \cancel{Ad \cdot V_{\text{off}}} \cdot Ad \cdot V_{\text{in}}$$

Questa soluzione funziona, ma solo se l'amplificatore ha un guadagno non troppo elevato (inferiore a 1000); in caso alternativo la coppia differenziale potrebbe portare l'amplificatore fuori dalla dinamica di usata.

Altro problema: questo circuito si può usare solo in circuiti a orpata commutata: esso viene per esempio integrato bene in un integratore. È peggio da integrare in circuiti a tempo continuo.

Recupero offset all'ingresso

Si consideri la seguente topologia:



Questa topologia si prepara di risolvere il problema della precedente: quell del guadagno.

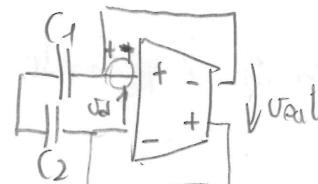
Anche in questo caso, si ha a che fare con 2 fasi: la prima nella quale si stacca l'ingresso, ripristinando solo il modo consumo, e la seconda dove si usa l'offset memorizzato precedentemente.

ϕ_1) S_1, S_2 aperti, S_3, S_4, S_5, S_6 chiusi:

$$V_{out} = Ad V_d$$

$$-V_{out} = V_d + V_{off} \quad (\text{eg. della maglia}) \quad \left[\begin{array}{l} \text{in open loop} \\ V_d \approx 0 \end{array} \right]$$

$$\hookrightarrow -V_{out} = \frac{V_{out}}{Ad} + V_{off} \rightarrow V_{out} = -\left(1 + \frac{1}{Ad}\right) V_{off} \Rightarrow \boxed{V_{out} \approx -V_{off}} \quad (Ad \gg 1)$$



Ma, quindi, per l'altra maglia, si ha

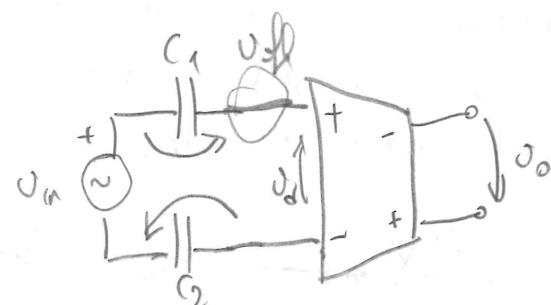
$$V_{off} = V_{C1} + V_{C2}$$

ϕ_2) S_1, S_2 chiusi, S_3, S_4, S_5, S_6 aperti:

qui, per la maglia,

$$V_{in} + V_{C1} + V_{C2} - V_{off} = V_d$$

$$\approx V_{off}$$



$$\Rightarrow V_{in} = V_d$$

Dal momento che le capacità si scaricano dopo un certo tempo, questa operazione va ripetuta ciclicamente.

Circuito alternativo (digitale)

Un'idea alternativa può esser questa:

In questo caso si richiede

che M_1 e M_2 siano piccoli:
in questo caso senza il circuito
di recupero l'offset sarebbe enorme.

L'idea è inserire un contatore Up/Down, che
decida se incrementare o decrementare le correnti,

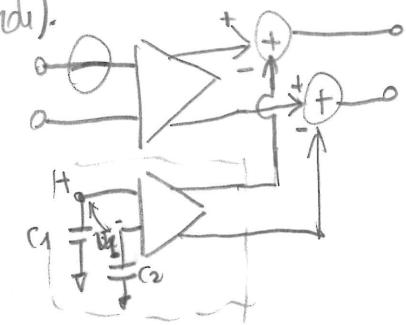
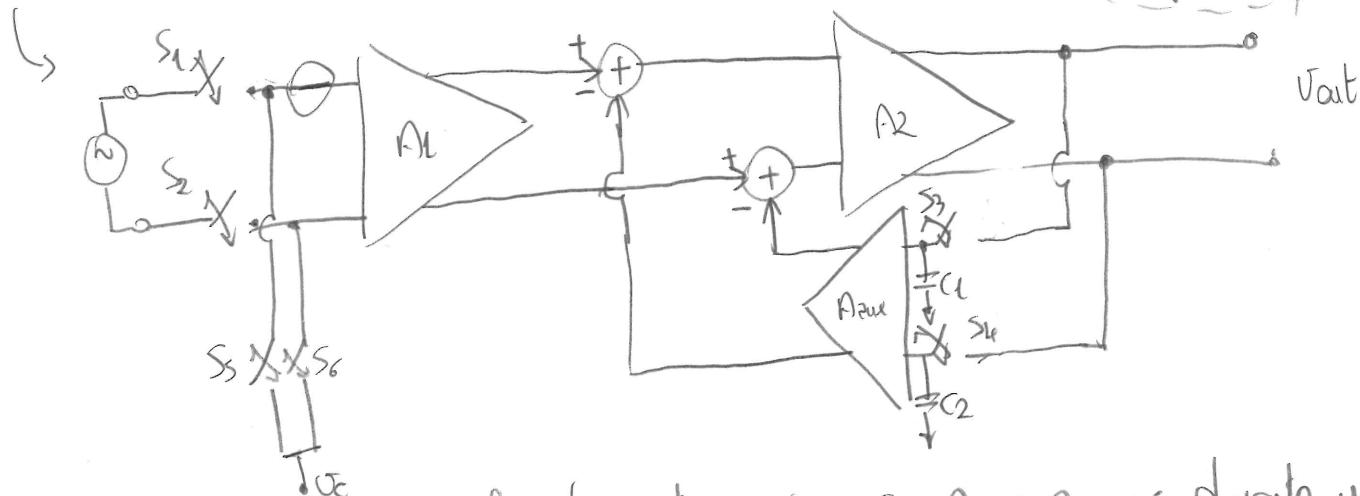
pilotate da un DAC. Le indicazioni ① o ② indicano i percorsi che si creano
(chiusi, dunque), rispettivamente con g_1 e g_2 . A ogni ciclo, si aggiunge o
toglie uno SI.

In petto, per es.: ϕ_1 l'operazionale + il contatore bilanciano il percorso di lavoro modificando le
correnti.

Altro circuito alternativo

I circuiti prima presentati (recupero a ingresso e uscita) hanno un difetto: essi
introducono capacità nel signal path. Ciò può cambiare i poli del circuito, e quindi
raggiungere il margine di fase/phase, in open-loop (introdurre ritardi).

La soluzione a ciò è usare un amplificatore ausiliario,
introducendo un altro path (percorso). C_1 e C_2 così non
sono nel percorso di segnale. Come si genera ϕ_L ? L'idea è:



L'idea è realizzare un anello di controreazione con A_2 e A_{aux} : durante una ϕ_1 ,
 S_1, S_2 sono chiusi, S_3 e S_4 aperti; qui, $V_{out} = V_{off} A_1 A_2 [S_3 \text{ e } S_2 \text{ sono aperti}]$

Essendo per ora S_3, S_4 aperti, questo sistema è ad anello aperto. Come chiamo S_3 e S_4 ,

$$V_{\text{out}} = V_{\text{off}} A_L \frac{A_2}{L + A_L R_{\text{aux}}} \quad [\text{usare la teoria dei circuiti}]$$

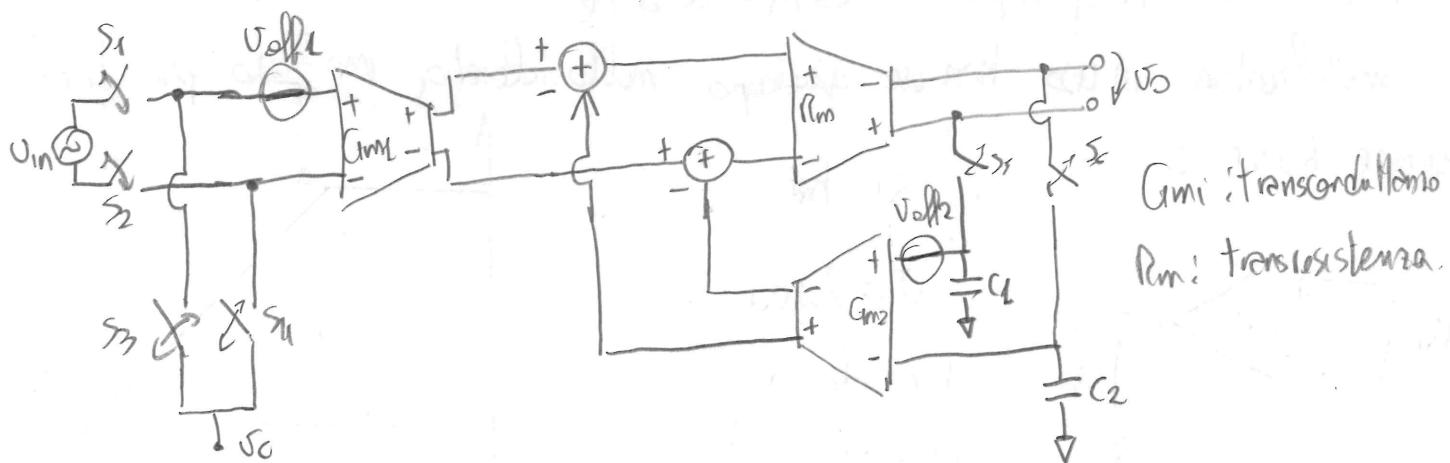
$$\approx V_{\text{off}} \frac{A_L A_2}{A_3 A_{\text{aux}}} = V_{\text{off}} \frac{A_1}{A_{\text{aux}}} \cdot \left[G_0, \text{ viene immagazzinato nei condensatori } C_1 \text{ e } C_2 \right]$$

Questa è la V_L : infatti, $V_{\text{off}} \frac{A_1}{A_{\text{aux}}} A_{\text{aux}} = V_{\text{off}} A_L$, che è quella che ci interessa!

Due problemi:

- in amplificazioni ad alta verberà, non è bello mettere due guadagni in tensione consecutivi (Miller)
- non è facile fare la somma delle tensioni di uscita.

Per questa si fa un "loop di corrente", in questo modo:



Qui, i nodi di somma sommano correnti, quindi ciò è facile: un nodo.

Analisi:

(1): S_1, S_2 aperti, S_3, S_4, S_5, S_6 chiusi. In questo caso,

$$V_0 = [V_{\text{off}} L G_{m2} - G_{m2} (V_0 - V_{\text{off}})] / R$$

$$\hookrightarrow V_0 (L + R G_{m2}) = G_{m1} R V_{\text{off}} + G_{m2} R V_{\text{off}}$$

$$\hookrightarrow V_0 = \frac{G_{m1} R V_{\text{off}} + G_{m2} R V_{\text{off}}}{L + R G_{m2}} \quad \left[\begin{array}{l} \text{Questa viene immagazzinata} \\ \text{in } C_1 \text{ e } C_2 \end{array} \right]$$

Vedendo riferire all'ingresso la tensione totale di offset, si ha:

$$V_{\text{offset,tot}} = \frac{V_{\text{out}}}{R G_m L} = \frac{V_{\text{off,L}}}{1 + G_m R} + \frac{G_m^2}{G_m L} \frac{V_{\text{off,2}}}{1 + G_m R} \approx \frac{V_{\text{off,L}}}{G_m R} + \frac{V_{\text{off,2}}}{G_m L R}$$

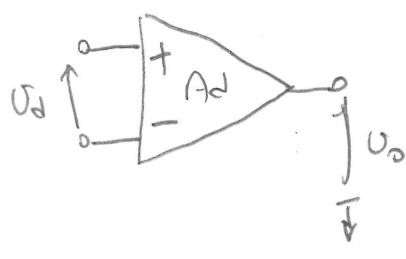
Se $G_m R$ e $G_m L R$ sono grosse, vuol dire che $V_{\text{offset,tot}}$ è piccola!

Nota: c'è il rischio che S_g e S_{g2} iniettino corrente diversa su C_1 e C_2 , cosa che introduce un errore non corregibile, essendo l'anello aperto. Si può dimostrare che questo errore è $\frac{G_m^2}{G_m L} SV$, quando si sa che $G_m \approx G_m L G_m$.

Risposta in Frequenza - Compensazione

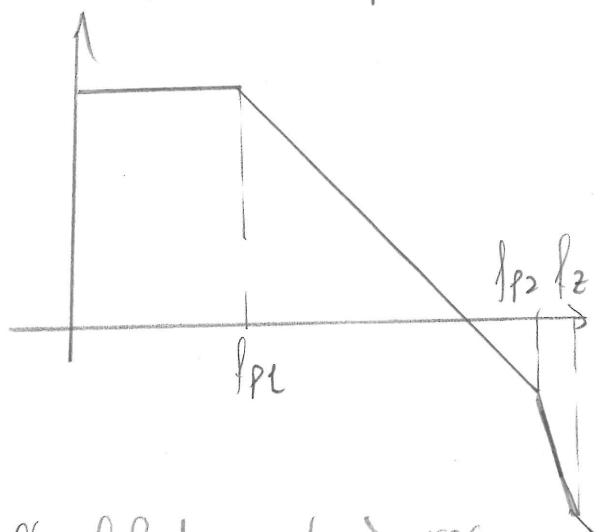
Gli amplificatori in uso hanno un guadagno molto elevato, ma solo per frequenze basse:

si ha:



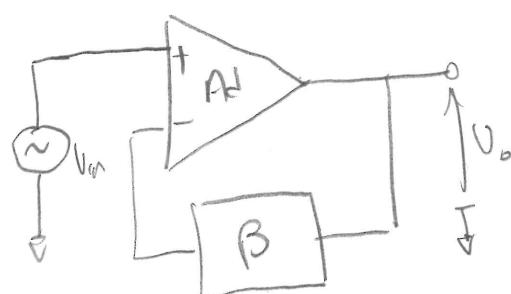
$$V_o = Ad V_i$$

(ma solo a
frequenze basse)



f_{pi} di solito non supera i 100 Hz.

Si vuol parlare di compensazione, quindi l'amplificatore dovrà essere chiuso in un anello. Si avrà:



$$A_f = \frac{L}{\beta} \frac{T}{1+T} ; T = Ad \beta$$

(A_f : amplificazione del sistema reazionato).

Considerando β costante in frequenza, si ha:

$$T = A_d(f) \beta$$

T viene sia attenuato sia sfasato: un segnale non solo viene attenuato, ma subisce anche ritardi. Si deve studiare il ritardo Z tra ingresso e uscita: la retroazione deve esser negativa, quindi è buona cosa che i segnali in ingresso e uscita si sommino in controfase. Se $T = -1$, per una qualsiasi frequenza f_c , il sistema è instabile e quindi instabili a ogni frequenza (saturo).

La condizione di instabilità è:

$$|T| = 1, \quad LT = 180^\circ$$

@ 0 dB, lo sfasamento deve essere minore di 180° .
(criterio di Bode).

Si definisce il PM (Phase Margin) come:

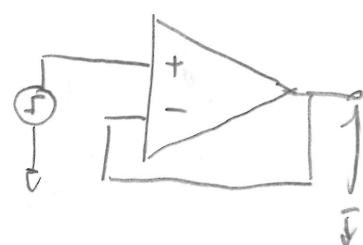
$$PM = 180^\circ + LT(f_T)$$

Di solito, si fanno progetti tali per cui $PM > 90^\circ$.

L'analisi e il progetto di stabilità si fanno di solito, per la condizione P.L (Voltage follower): questo è il caso in cui la reazione è massima (tutta l'uscita viene riportata all'ingresso).

Per valutare il guadagno di anello si deve aprire l'anello, quindi estrarre con un generatore di test, e verificare cosa torna indietro; ciò, ovviamente, mantenendo intatte le condizioni di polarizzazione e di carico.

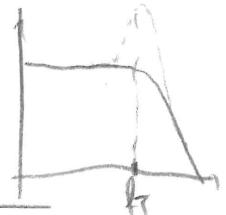
Si consideri ora un amplificatore di questo tipo:
usando un generatore molto rapido, è possibile valutare il margine di fase delle oscillazioni che si hanno.



Molti oscillatori \rightarrow PM basso [50° ?]

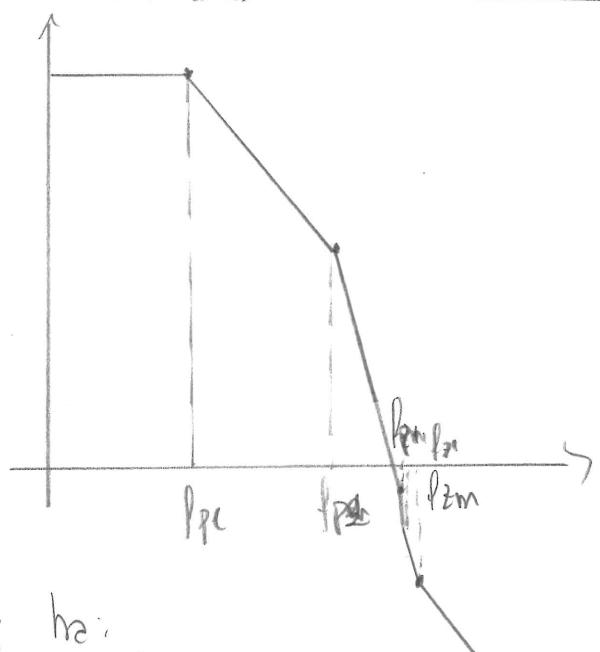
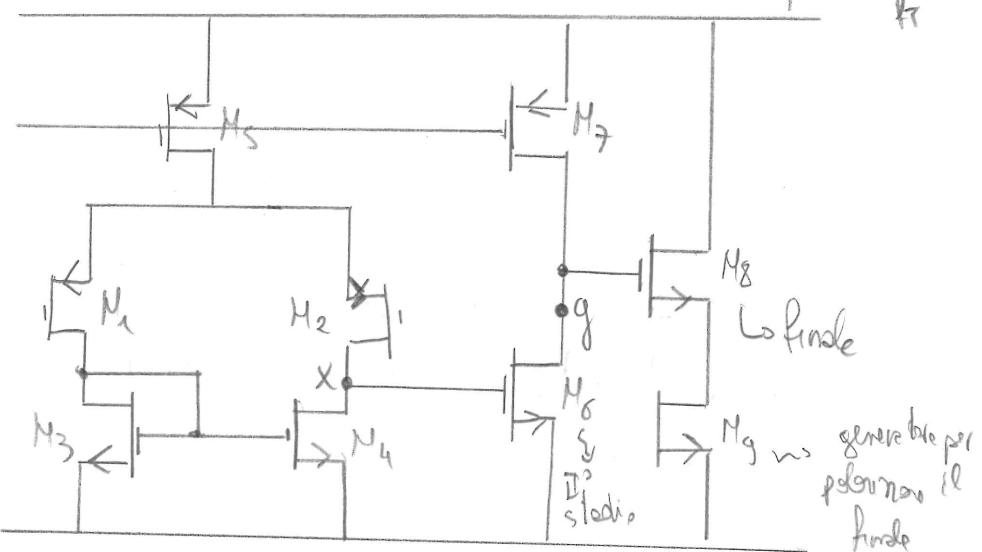
Andamento monotono \rightarrow PM alto [60° per esempio]

Una nota: l'instabilità prescinde dalla cerniera dell'ingresso e della sua frequenza; instabilità a una frequenza significa rendere instabilizzabile l'amplificatore. Il PN si può anche vedere in frequenza: se c'è un overshoot oltre f_T , vediamo che il PN è basso.



Si consideri per esempio il seguente amplificatore:

si hanno 2 punti ad alta impedenza e dunque due punti dove lo spazio venga concavato su impedenza alta. Ciò significa che si hanno 2 poli da "tenere d'occhio".

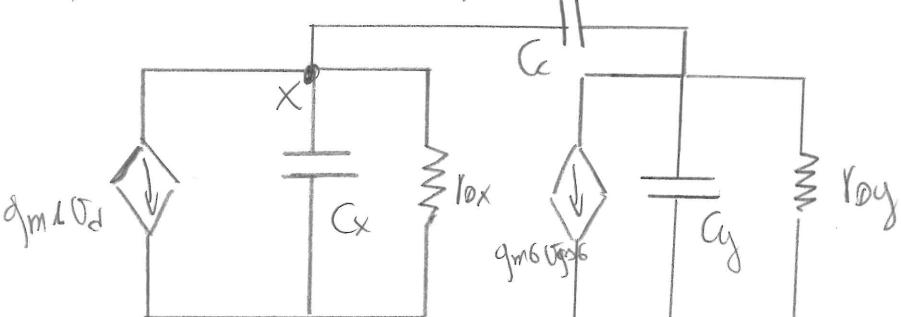


→ È facile (questo è un esempio), che un opamp come quello disegnato sia instabile.

Si ha:

$$f_{p1} = \frac{1}{2\pi f_{ox} (C_x + C_c)} : \text{spostando (indietro) il polo in modo da avere } 60^\circ \text{ di margine di fase, si avrebbero } C_c \text{ dell'ordine dei nF: non integrabili.}$$

Alternativa è la compensazione di tipo Miller:



Qui, in questo modo, si ha il "pole splitting": per verificare: P_2 è "alto", Z è basso.

Quest'ultimo effetto è sgradevole: lo zero a destra toglie fase, e quindi è necessario lavorare su di esso. (82)

$$Adp = g_{m6} R_{ox} g_{m2} R_{dg}$$

Le frequenze dei poli, applicato l'effetto Miller, sono:

$$\omega_{p1} = \frac{l}{g_{m6} R_{ox} R_{dg} C_c} \quad ; \quad \omega_{p2} = \frac{g_{m6}}{C_g} \quad ; \quad \omega_z = \frac{g_{m6}}{C_c} \quad \left[\begin{array}{l} \text{caso non è triviale!} \\ \text{caso ideale} \\ \text{d'impulso} \\ \text{non} \end{array} \right]$$

Come si ricava quest'ultima? Lo zero a destra si ha se:

$$g_{m6} R_{dg} = V_{gs6} \beta_2 C_c \rightarrow \beta_2 = \frac{g_{m6}}{C_c}$$

Aggiungendo una R_C in serie al C_c ,

questo zero può essere "spostato". Infatti, con R_C ,

$$g_{m6} V_{gs6} = \frac{V_{gs6}}{\frac{l}{\beta_2 C_c} + R_C} \Rightarrow \frac{\beta_2 C_c}{l + \beta_2 R_C C_c} = g_{m6}$$

$$\hookrightarrow \beta_2 (C_c - g_{m6} R_C C_c) = g_{m6} \Rightarrow \beta_2 = \frac{g_{m6}}{C_c} \frac{1}{1 - g_{m6} R_C}$$

Se si impone $g_{m6} R_C = l$, $\beta_2 \rightarrow \infty$!

Alternativamente, si può fare in modo da avere $g_{m6} R_C \gg l$, così che lo zero venga spostato nel semipiano di sinistra. Se si volesse addirittura spostare lo zero sul secondo polo, si avrebbe un comportamento "ideale".

Per avere un margine di fase di 60° , si può dimostrare che vale il vincolo:

$$\frac{\omega_{p2}}{\omega_z} \approx 22 \quad [\text{tanto più } \omega_p \text{ è a frequenza alta, tanto meglio è}]$$

Tornando a $g_{m6} R_C \gg l$,

$$\hookrightarrow \beta_2 \approx \frac{g_{m6}}{C_c} \frac{1}{-\frac{l}{g_{m6} R_C}} \approx -\frac{1}{R_C C_c} \quad ; \quad \text{se } f_{p2} = \frac{1}{2\pi R_C C_c}, \text{ si incrementa la banda dell'amplificatore.}$$

Questi due parametri, tuttavia, non sono matchabili, dunque ottenere una sovrapposizione perfetta è impossibile, in pratica.

53

Come si può in pratica realizzare la compensazione? Con qualcosa di questo genere:

Mg è Re, ed è un MDS in
trab.

Si ha, oservando il circuito,

$$U_{AS6} + U_{AS8} = U_{AS9} + U_{AS10}$$

for $J_{AS6} = J_{GS8}$, above $J_{AS8} = J_{GS10}$.

$$\Rightarrow U_{GS6} = U_{GS5} \Rightarrow U_{DS6} = U_{DS5} \Rightarrow \sqrt{\frac{IB_1}{\beta_n \frac{W}{L_6}}} = \sqrt{\frac{IB_2}{\beta_n \frac{W}{L_5}}}$$

$$\hookrightarrow \frac{J_{B1}}{J_{B2}} = \frac{\frac{W}{L_1}}{\frac{W}{L_2}} \quad [\text{condizone che impone } U_{D1} = U_{D2}]$$

Records do in mole gms $R_c = L$,

$$\text{C} \rightarrow \cancel{\frac{W}{L}}_6 U_{008} \times \frac{1}{\cancel{\frac{W}{L}}_8 U_{008}} = C \Rightarrow \frac{U_{008}}{U_{008}} = \frac{\cancel{\frac{W}{L}}_6}{\cancel{\frac{W}{L}}_8}$$

Ma Noi abbiamo imposto

$$U_{D9\bar{6}} = U_{D9\bar{3}} \iff U_{D9g} = U_{D9\bar{1}c}$$

$$\frac{U_{D28}}{U_{D28}} : \frac{U_{D20}}{U_{D20}} = \frac{\sqrt{\frac{R_L + \frac{1}{C_2}}{R_L + \frac{1}{C_1}}}}{\sqrt{\frac{R_L + \frac{1}{C_2}}{R_L + \frac{1}{C_1}}}} \Rightarrow$$



$$\frac{\frac{W}{L} L_6}{\frac{W}{L} L_8} = \frac{L_6}{L_8}$$

Imposta questa condizione, lo zero è in regione tale da avere stabilità,

Note di progetto

Dato il circuito ora rappresentato:

Una volta compensato, la risposta in frequenza si può approssimare con:

$$T = T_0 \frac{1}{1 + \frac{\beta}{\beta_{PL}}}$$

(ossia, nel tempo un esponentiale).

$$A_f = \frac{1}{\beta} \frac{T}{1+T}$$

Nel caso del voltage follower, $\beta = L$.

Se la tensione di ingresso è troppo alta, una volta compensata si possono introdurre problemi di slew rate, di velocità di variazione dell'uscita.

Se l'ampiezza dell'ingresso (a gradino per esempio) è tale da mandare fuori linea la coppia, sbilanciandola (dal momento che il segnale si manda sul merito non invertente, e ci vuole tempo prima che arrivi all'uscita), tutta la corrente va su di un ramo solo. Quindi, di fatto l'anello si apre: se si esce dalla linearità, l'anello è aperto.

Durante le commutazioni, l'anello è aperto.

a corrente continua è sostanzialmente tutta

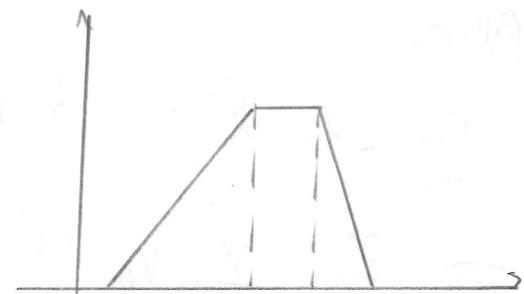
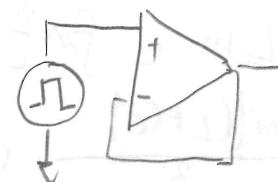
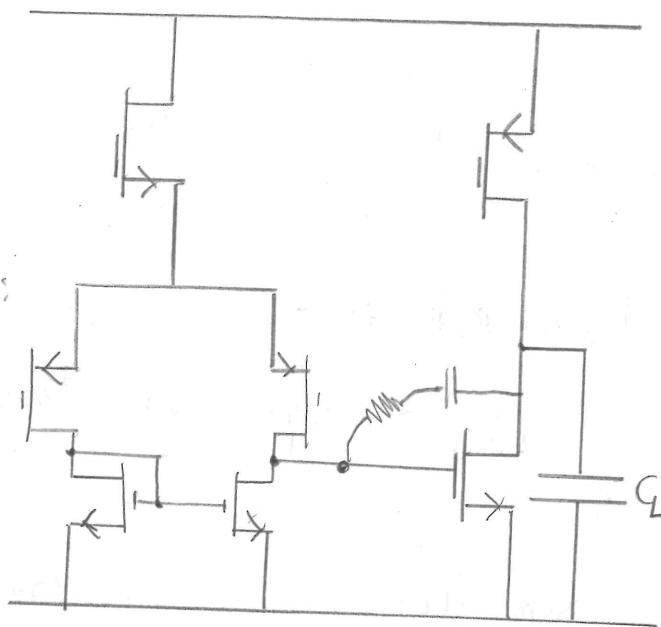
passante per la C_C (di compensazione), quindi l'uscita cresce in modo pressoché lineare (curva di operazione a tensione costante).

la massima variazione $\frac{dU_{out}}{dt}_{max}$ è lo slew rate. Questa non è la banda; la banda riguarda l'ampiezza d'azione instabile di linearità. Qua, no: in questo caso l'amplificatore non è mancato reazionato.

Slew rate "positivo" (in salita) e "negativo" (in discesa) sono diversi; si parla di variazione della tensione di uscita;

$$\Delta U_o = \Delta U_{Ct} + \Delta U_{ASG}$$

[questo è la variazione della tensione di uscita]



D_{DC} è piccolo; è pari alla variazione dell'asse, divisa per il gredigio dell'osc.

$$D_{DC} = R_C I_{SS} + \frac{L}{C} \int_{t_0}^{t_f} I_{SS} dt = \frac{I_{SS}}{C} t_f \quad ; \quad \frac{D_{DC}}{t_f} \approx \frac{I_{SS}}{C}$$

$R_C \approx R_L$, I_{SS} è dell'ordine del doppio di μ_A

Questo è vero a patto che $i_{D2} > I_{SS}$; altrimenti non si ha la corrente necessaria per far varcare la tensione. Ciò deve esser rispettato.

Allora:

$$i_{D2} \geq SR_{min}(C_L + C_C) \quad ; \quad i_{D2} = I_{D2} = B_n \left| \frac{V}{L} \right|_B^2 \omega_{D2}^2 \quad ; \quad \omega_{D2} \geq \omega_{min}$$

$$\hookrightarrow SR_{min}(C_L + C_C) \leq I_{D2} \leq B_n \left| \frac{V}{L} \right|_B^2 \omega_{min}$$

$$\hookrightarrow \left| \frac{V}{L} \right|_B^2 \leq \frac{SR_{min}(C_L + C_C)}{B_n \omega_{min}^2}$$

Poi, $\frac{\omega_{P2}^2}{\omega_T^2} = K_{PM}$; $K_{PM} = \tan(\text{PM})$ [PM = Phase Margin]

$$\omega_{P2}^2 = \frac{q_{mC}}{C_L} ; \quad \omega_T^2 = \frac{q_{m1}}{C_C} \Rightarrow \frac{\omega_{P2}^2}{\omega_T^2} = \frac{q_{mC}}{q_{m1}} \frac{C_L}{C_C} = K_{PM} \Rightarrow \frac{q_{mC}}{q_{m1}} = \frac{C_C}{C_L} K_{PM}$$

$$\frac{q_{mC}}{q_{m1}} = \frac{q_{m2}}{q_{m3}} \frac{q_{m3}}{q_{m1}} \Rightarrow q_{mC} = \frac{2i_{D2}}{\omega_{D2}} ; \quad q_{m3} = \frac{2i_{D2}}{\omega_{D2}}$$

$\omega_{D2} = \omega_{D1} = \omega_{D3}$
(offset sistematico)

Allora,

$\frac{q_{m3}}{q_{m1}} \leq 1$, al fine di ridurre offset, e migliorare CMRR e PSRR

$$\hookrightarrow \frac{q_{m3}}{q_{m1}} = \frac{q_{m3}}{q_{m2}} K_{PM} \frac{C_L}{C_C} \leq 1 \Rightarrow \frac{q_{m2}}{q_{m3}} \geq K_{PM} \frac{C_C}{C_L}$$

Poiché impone $\boxed{i_{D3} = \frac{I_{SS}}{2}}$,

$$\hookrightarrow \frac{2i_{D2}}{2i_{D3}} = \frac{2i_{D2}}{I_{SS}} \geq K_{PM} \frac{C_L}{C_C} \Rightarrow \boxed{\frac{V_{D2}}{I_{SS}} \geq \frac{1}{2} K_{PM} \frac{C_L}{C_C}}$$

Inoltre,

$$I_{SS} \geq SR \times C_C$$

Poi, $\omega_T = \frac{q_{m1}}{C_C} \geq \omega_{Tmin} \Rightarrow \frac{\sqrt{K_{PP} \left| \frac{V}{L} \right|_B^2 \frac{I_{SS}^2}{2}}}{2 \pi C_C} \geq f_{Tmin} \Rightarrow \frac{\left| \frac{V}{L} \right|_B^2}{C_C} \geq \frac{(2 \pi C_C f_{Tmin})^2}{2 K_{PP} I_{SS}}$